

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-144007

(43)Date of publication of application : 29.05.1998

(51)Int.Cl.

G11B 20/14
H03M 7/14

(21)Application number : 09-197626

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 23.07.1997

(72)Inventor : KOBAYASHI RYOJI
TANAKA SHINICHI
MUTO AKIRA
AKAHIRA NOBUO

(30)Priority

Priority number : 08201615
08240304

Priority date : 31.07.1996
11.09.1996

Priority country : JP

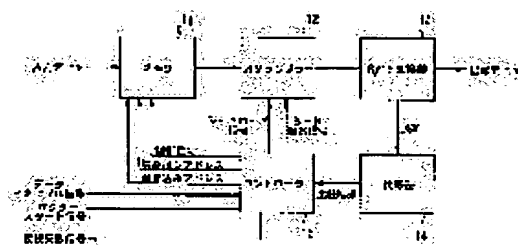
JP

(54) CODE CONVERSION SYSTEM, CODE CONVERTING DEVICE, CODE RECORDING MEDIUM, CODE RECORDER AND CODE REPRODUCING DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the low frequency component of a signal to be recorded on a recording medium by controlling scrambled data so that the divergence of DSV (digital sum value) is sufficiently suppressed.

SOLUTION: A scrambler 12 scrambles the main data from a memory 11 to output the scrambled main data to an 8/16 converter 13, which modulates the scrambled main data to form main data for output. A comparator 14 inputs the DSV obtained by the 8/16 converter 13 to judges whether the amount of change in the DSV exceeds a threshold value or not. A controller 15 performs the scrambling and the modulating of the main data repeatedly by changing scramble data until the amount of change in the DSV becomes equal to or smaller than the threshold value and transmits the main data from the 8/16 converter 13 to a recording and reproducing device when the amount of change in the DSV does not exceed the threshold value.



BEST AVAILABLE COPY

LEGAL STATUS

[Date of request for examination]

16.07.2004

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-144007

(43) 公開日 平成10年(1998) 5月29日

(51) Int.Cl. ⁵	識別記号	F I
G 1 1 B 20/14	3 4 1	C 1 1 B 20/14
H 0 3 M 7/14		H 0 3 M 7/14
		3 4 1 A
		B

審査請求 未請求 請求項の数33 O L (全 33 頁)

(21) 出願番号 特願平9-197626

(22) 出願日 平成9年(1997) 7月23日

(31) 優先権主張番号 特願平8-201615

(32) 優先日 平8(1996) 7月31日

(33) 優先権主張国 日本 (J P)

(31) 優先権主張番号 特願平8-240304

(32) 優先日 平8(1996) 9月11日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 小林 良治

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 田中 伸一

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 武藤 朗

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 弁理士 山本 秀策

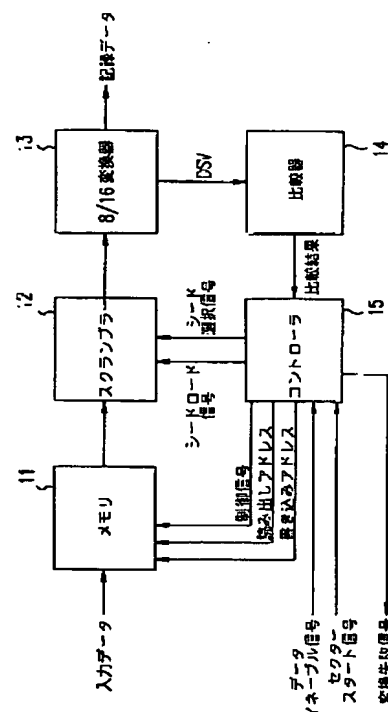
最終頁に続く

(54) 【発明の名称】 符号変換方式、符号変換装置、符号記録媒体、符号記録装置及び符号再生装置

(57) 【要約】

【課題】 DSVの発散が十分に抑えられる様にスクランブルデータを制御することによって、記録媒体に記録される信号の低周波成分を低減する。

【解決手段】 スクランブラー12は、メモリ11から主データをスクランブルして、このスクランブルされた主データを8/16変換器13に出力する。8/16変換器13は、スクランブルされた主データを変調して、出力用の主データを形成する。比較器14は、8/16変換器13によって求められたDSVを入力し、このDSVの変化量がしきい値を越えたか否かを判定する。コントローラ15は、DSVがしきい値以下となるまで、スクランブルデータを変更して、主データのスクランブルと変調を繰り返し行い、DSVがしきい値を越えなければ、8/16変換器13からの主データを記録再生装置に送出する。



【特許請求の範囲】

【請求項1】 入力された主データを複数種類の疑似乱数系列のいずれかに基づいてスクランブルし、このスクランブルされた主データを複数種類の交換データのいずれかによって変換し、この変換された主データから出力用の主データを形成し、この出力用の主データによって示される値0の個数と値1の個数の差を示す演算値を求め、この演算値に応じて、各交換データのいずれかを選択する符号変換方式において、演算値の変化量が予め定められたしきい値を越えたか否かを判定するステップと、演算値の変化量がしきい値を越えたと判定されると、スクランブルに用いられる疑似乱数系列を変更するステップと、この変更された疑似乱数系列に基づいて、前記入力された主データを再度スクランブルするステップとを有する符号変換方式。

【請求項2】 主データの交換は、M種類の交換データを持つ第1変調によって行われ、出力用の主データの形成は、第2変調によって行われ、M種類の交換データのうちのN種類の交換データが演算値の増加を招く請求項1に記載の符号変換方式。

【請求項3】 第1変調は、M種類の交換データを持つビットポジション変調であり、第2変調は、パルス幅変調であり、M種類の交換データのうちのN種類の交換データが演算値の増加を招く請求項2に記載の符号変換方式。

【請求項4】 演算値の変化量が第1期間Lにしきい値K以上となったときには、第1期間Lにおける出力用の主データの各ワードのうちに、この演算値を招く原因となったビットパターンを持つ各ワードが含まれ、このときの疑似乱数系列を第1疑似乱数系列とすると、この第1疑似乱数系列を予め定められた複数の第2疑似乱数系列のいずれかに変更しており、これらの第2疑似乱数系列は、再度行われるスクランブルに伴って形成される第1期間Lにおける出力用の主データとして、上記ビットパターンを持たない各ワードを $(M-N)/M$ 以上の割合で含むものを導き得る疑似乱数系列である請求項2に記載の符号変換方式。

【請求項5】 第1疑似乱数系列に基づくスクランブルに伴って形成される一連の出力用の主データの期間を第2期間Hとすると、各第2疑似乱数系列は、 $H/L = J$ と少なくとも同数の種類だけ設定される請求項4に記載の符号変換方式。

【請求項6】 演算値の変化量がしきい値を越えると、この時点より以前に入力した予め定められた長さの主データの部分を該部分の疑似乱数系列を変更してから再度スクランブルする請求項1に記載の符号変換方式。

【請求項7】 予め定められた長さの入力された主データに対応する出力用の主データの演算値を求め、

この演算値の変化量がしきい値を越えたときには、この入力された主データを疑似乱数系列を変更してから再度スクランブルし、

この演算値の変化量がしきい値以内となる疑似乱数系列を求める請求項1に記載の符号変換方式。

【請求項8】 入力された主データを複数種類の疑似乱数系列のいずれかによってスクランブルし、このスクランブルされた主データを複数種類の交換データのいずれかによって変換し、この変換された主データから出力用の主データを形成し、この出力用の主データによって示される値0の個数と値1の個数の差を示す演算値を求め、この演算値に応じて、各交換データのいずれかを選択する符号変換方式において、演算値の絶対値が予め定められたしきい値を越えたか否かを判定するステップと、演算値の絶対値がしきい値を越えたと判定されると、スクランブルに用いられる疑似乱数系列を変更するステップと、

この変更された疑似乱数系列に基づいて、前記入力された主データを再度スクランブルするステップとを有する符号変換方式。

【請求項9】 主データの交換は、M種類の交換データを持つ第1変調によって行われ、出力用の主データの形成は、第2変調によって行われ、M種類の交換データのうちのN種類の交換データが演算値の増加を招く請求項8に記載の符号変換方式。

【請求項10】 第1変調は、M種類の交換データを持つビットポジション変調であり、第2変調は、パルス幅変調であり、M種類の交換データのうちのN種類の交換データが演算値の増加を招く請求項9に記載の符号変換方式。

【請求項11】 演算値の絶対値が第1期間Lにしきい値K以上となったときには、第1期間Lにおける出力用の主データである各ワードのうちに、この演算値を招く原因となったビットパターンを持つ各ワードが含まれ、このときの疑似乱数系列を第1疑似乱数系列とすると、この第1疑似乱数系列を予め定められた複数の第2疑似乱数系列のいずれかに変更しており、これらの第2疑似乱数系列は、再度行われるスクランブルに伴って形成される第1期間Lにおける出力用の主データとして、上記ビットパターンを持たない各ワードを $(M-N)/M$ 以上の割合で含むものを導き得る疑似乱数系列である請求項9に記載の符号変換方式。

【請求項12】 第1疑似乱数系列に基づくスクランブルに伴って形成される一連の出力用の主データの期間を第2期間Hとすると、

各第2疑似乱数系列は、 $H/L = J$ と少なくとも同数の種類だけ設定される請求項11に記載の符号変換方式。

【請求項13】 演算値の絶対値がしきい値を越えると、この時点より以前に入力した予め定められた長さの

主データの部分を該部分の疑似乱数系列を変更してから再度スクランブルする請求項8に記載の符号変換方式。

【請求項14】 予め定められた長さの入力された主データに対応する出力用の主データの演算値を求め、この演算値の絶対値がしきい値を越えたときには、この入力された主データを疑似乱数系列を変更してから再度スクランブルし、この演算値の絶対値がしきい値以内となる疑似乱数系列を求める請求項8に記載の符号変換方式。

【請求項15】 入力された主データを記憶する記憶手段と、この記憶手段内の主データを複数種類の疑似乱数系列のいずれかに基づいてスクランブルするスクランブル手段と、このスクランブルされた主データを複数種類の変換データのいずれかによって変換し、この変換された主データから出力用の主データを形成する変換手段と、この変換手段によって形成された出力用の主データによって示される値0の個数と値1の個数の差を示す演算値を求める演算手段と、この演算手段によって求められた演算値が予め定められた許容範囲に収まるか否かを判定する比較手段と、この比較手段によって演算値が許容範囲から外れると判定されると、疑似乱数系列を変更してから、記憶手段内の主データを再度スクランブルすることをスクランブル手段に指示する制御手段とを備える符号変換装置。

【請求項16】 変換手段から出力された出力データを記録する記録手段を更に備え、制御手段は、比較手段によって演算値が許容範囲から外れると判定されると、変換失敗信号を出力し、記録手段は、この変換失敗信号に応答して、変換手段から出力されたデータの記録をやり直す請求項15に記載の符号変換装置。

【請求項17】 入力された主データを記憶する記憶手段と、この記憶手段内の主データを複数種類の疑似乱数系列のいずれかに基づいてスクランブルするスクランブル手段と、記憶手段から読み出されている主データの位置を検出する検出手段と、スクランブルされた主データを複数種類の変換データのいずれかによって変換し、この変換された主データから出力用の主データを形成する変換手段と、出力用の主データによって示される値0の個数と値1の個数の差を示す演算値を求める演算手段と、この演算手段によって求められた演算値が予め定められた許容範囲に収まるか否かを判定する比較手段と、この比較手段によって演算値が許容範囲から外れると判定されると、この時点で検出手段によって検出された主データの位置よりも以前の該主データの部分の再度のス

クランブルを疑似乱数系列を変更してから行うことをスクランブル手段に指示する制御手段とを備える符号変換装置。

【請求項18】 出力用の主データを記録する記録手段を更に備え、制御手段は、比較手段によって演算値が許容範囲から外れると判定されると、変換失敗信号を出力し、記録手段は、この変換失敗信号に応答して、前記出力用の主データの記録をやり直す請求項17に記載の符号変換装置。

【請求項19】 入力された主データを記憶する記憶手段と、この記憶手段内の主データを複数種類の疑似乱数系列のいずれかによってスクランブルするスクランブル手段と、記憶手段内の主データの各フレームが順次読み出される度に、読み出されたフレームの位置を検出する検出手段と、スクランブルされた主データを複数種類の変換データのいずれかに基づいて変換し、この変換された主データから出力用の主データを形成する変換手段と、出力用の主データによって示される値0の個数と値1の個数の差を示す演算値を求める演算手段と、この演算手段によって求められた演算値が予め定められた許容範囲に収まるか否かを判定する比較手段と、この比較手段によって演算値が許容範囲から外れると判定されると、この時点で検出手段によって検出されたフレーム位置よりも以前のフレームの再度のスクランブルを疑似乱数系列を変更してから行うことをスクランブル手段に指示する制御手段とを備える符号変換装置。

【請求項20】 変換手段から出力されたデータを記録する記録手段を更に備え、制御手段は、比較手段によって演算値が許容範囲から外れると判定されると、変換失敗信号を出力し、記録手段は、この変換失敗信号に応答して、変換手段から出力されたデータの記録をやり直す請求項19に記載の符号変換装置。

【請求項21】 入力された少なくとも1セクターの主データを記憶する記憶手段と、この記憶手段内の1セクターの主データを複数種類の疑似乱数系列のいずれかに基づいてスクランブルするスクランブル手段と、スクランブルされた主データを複数種類の変換データのいずれかに基づいて変換し、この変換された主データから出力用の主データを形成する変換手段と、出力用の主データによって示される値0の個数と値1の個数の差を示す演算値を求める演算手段と、この演算手段によって求められた演算値が予め定められた許容範囲に収まるか否かを判定する比較手段と、この比較手段によって演算値が許容範囲から外れると判

定されると、疑似乱数系列を変更してから、記憶手段内の前記1セクターの主データを再度スクランブルすることをスクランブル手段に指示する制御手段とを備える符号変換装置。

【請求項22】 出力用の主データを記録する記録手段を更に備え、

制御手段は、比較手段によって演算値が許容範囲から外れると判定されると、変換失敗信号を出力し、

記録手段は、この変換失敗信号に応答して、出力用の主データの記録をやり直す請求項21に記載の符号変換装置。

【請求項23】 主データをセクター単位で記録及び再生する記録媒体において、

各セクター毎に、スクランブルデータ及びスクランブルされた主データを記録しており、

スクランブルデータは、主データをスクランブルするための予め定められた各疑似乱数系列の初期値のいずれかを示し、

これらの疑似乱数系列は、それぞれの初期値から始まるそれぞれの乱数であって、

主データは、スクランブルデータの疑似乱数系列と主データを順次論理演算することによってスクランブルされたものである符号記憶媒体。

【請求項24】 疑似乱数系列は、最大長周期系列である請求項23に記載の符号記録媒体。

【請求項25】 スクランブルデータは、セクターの主データをスクランブルするか否かを示す請求項23に記載の符号記録媒体。

【請求項26】 スクランブルデータは、乱数に基づいて設定される請求項23に記載の符号記録媒体。

【請求項27】 スクランブルデータは、同一セクターでの主データの書き換え回数に基づいて設定される請求項23に記載の符号記録媒体。

【請求項28】 記録媒体の各セクター毎に、主データをスクランブルしてから記録する符号記録装置において、

予め定められた複数の疑似乱数系列のいずれかを示すスクランブルデータを発生するスクランブルデータ発生手段と、

スクランブルデータに応じて、このスクランブルデータによって示される疑似乱数系列を発生する疑似乱数系列生成手段と、

この発生された疑似乱数系列とセクターの主データを順次論理演算することによって、該主データをスクランブルするスクランブル手段と、

このスクランブルされた主データを変調する変調手段と、

この変調された主データをスクランブルデータと共に記録媒体のセクターに記録する記録手段とを備える符号記録装置。

【請求項29】 記録媒体の各セクター毎に、主データをスクランブルしてから記録する符号記録装置において、

予め定められた複数の疑似乱数系列のいずれかを示すスクランブルデータを発生するスクランブルデータ発生手段と、

スクランブルデータに応じて、このスクランブルデータによって示される疑似乱数系列を生成する疑似乱数系列生成手段と、

この発生された疑似乱数系列とセクターの主データを順次論理演算することによって、該主データをスクランブルするスクランブル手段と、

このスクランブルされた主データを変調する変調手段と、

この変調された主データをスクランブルデータと共に記録媒体のセクターに記録する記録手段と、

この変調された主データによって示される値0の個数と値1の個数の差を示す演算値を求める演算手段と、

この演算値を判定する判定手段とを備える符号記録装置。

【請求項30】 乱数系列生成手段は、スクランブルデータだけでなく、記録媒体の各セクターを識別するためのセクター識別データに応じて、疑似乱数系列を生成する請求項28又は29記載の符号記録装置。

【請求項31】 スクランブルデータ発生手段は、各疑似乱数系列を予め定められた順序で出力する請求項28又は29に記載の符号記録装置。

【請求項32】 スクランブルデータ発生手段は、各疑似乱数系列を乱数に基づいて選択し、この選択された疑似乱数系列を示すスクランブルデータを出力する請求項28又は29に記載の符号記録装置。

【請求項33】 請求項23に記載の記録媒体から主データを再生するための符号再生装置において、記録媒体のセクターからスクランブルデータを読み出す読み出し手段と、

この読み出されたスクランブルデータに基づいて逆スクランブルのための疑似乱数系列を発生する疑似乱数系列発生手段と、

この疑似乱数系列と前記セクターの主データを順次論理演算することによってスクランブルされる以前の主データを形成する逆スクランブル手段とを備える符号再生装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、主データを高密度で記録するために、この主データをスクランブルして変調する符号変換方式及び符号変換装置、このスクランブルされて変調された主データをスクランブルデータと共に記録した符号記録媒体、主データをスクランブルして変調し、この主データを記録媒体に記録したり、この

記録媒体に記録された主データを再生する記録装置及び再生装置に関する。

【0002】

【従来の技術】周知の様に、映像データや音声データ、あるいは計算機用のデータ等の各種のソフトウェアを記録する記録媒体として、光ディスクが普及して来ている。この光ディスクには、再生専用のものとして、レーザディスク(LD)、コンパクトディスク(CD)、CD-ROM等があり、また書き換えあるいは追記可能なものとして、光磁気ディスク、相変化ディスク、CD-R等がある。

【0003】一方、近年は、高能率符号化技術が発展して来ており、映像データでさえも帯域圧縮されて、デジタルデータとして扱い易いものに変換され、あらゆる種類のデータがデジタルデータとして扱われる様になって来ている。これに伴い、光ディスクの大容量化並びに記録密度の向上が要求されている。

【0004】しかしながら、記録媒体の記録密度を向上させると、記録媒体から読み出された信号1と信号0の差が小さくて、読み取りマージンが小さくなり、再生された信号の品質の劣化を招き易い。

【0005】この様な再生された信号の品質の劣化を回避するには、例えば記録媒体に信号を記録するときに、この記録される信号の低周波数成分を抑制せねばならない。これは、光ディスクから再生された信号には低周波ノイズが多く含まれており、この低周波ノイズをフィルタで除去してS/Nを向上させるので、再生された信号の必要な低周波数成分をもカットしてしまうためであり、記録される信号の低周波数成分を予め抑制して、その影響を回避している。

【0006】このため、低周波数成分を抑制し得るデータの符号化方式が提案されている。しかしながら、この符号化方式を適用しても、低周波成分を抑制し得ないデータのパターンが長く続くことがあるので、この確率を下げるために、データのスクランブルを行うことが有効である。

【0007】ところで、記録媒体にデータを記録し、これを再生する場合は、適宜に規定された大きさのデータを単位とし、この単位で記録及び再生を行っており、この単位をセクターと称している。また、このセクターに記録される符号は、記録及び再生装置の通信の周波数帯域幅を狭くするために、そのランレングスを制限されている。

【0008】この様にランレングスを制限されたセクターのデータを記録及び再生するときに、エラーが一旦発生すると、このエラー箇所だけでなく、これに引き続くデータの部分にもエラーが伝播することが知られている。これを防ぐために、セクターには、一定間隔毎に、記録データと見分けがつくような予め定められたパターンを記録しており、このパターンをシンクコードと称し

ている。また、各シンクコードによって区切られるセクターの各部分をフレームと称している。

【0009】先にも述べた様に、データの記録に際しては、このデータの低周波数成分を抑制せねばならず、このために、このデータを変換してから記録する。この変換は、例えば図18に示す様な符号変換装置によって行われる。

【0010】同図において、スクランブラー101は、主データを入力すると、この主データを疑似乱数系列に基づいてスクランブルし、このスクランブルされた主データを8/16変換器102に加える。8/16変換器102は、このスクランブルされた主データを入力すると、この主データを変調し、この変調された主データを出力する。この変調された主データは、記録及び再生装置へと伝送され、記録媒体に記録される。

【0011】また、スクランブラー101は、主データの入力に伴う論理アドレス(8ビット)の上位4ビットをシード選択信号として入力しており、16の各論理アドレス毎に(16セクターの度に)、スクランブルデータを変更している。このスクランブルデータは、相互に異なる16種類の各疑似乱数系列のいずれかを示すものであって、各セクター毎に、スクランブルデータによって各疑似乱数系列を順次選択している。そして、セクタースタート信号に応答して、選択した疑似乱数系列によって1セクターのデータをスクランブルしている。

【0012】このスクランブラー101によるスクランブルは、主データと、次式(1)の生成多項式によって示されるM系列(Maximum length sequence系列)から生成されるデータ(乱数)との排他的論理和を両者のデータの各ビット毎に求めることによって行われる。

【0013】

【数1】

$$X^{15} + X^4 + 1$$

【0014】図19は、スクランブラー101の構成を示している。同図において、シードROM111は、16種類の各疑似乱数系列の初期ビットパターンを予め記憶しており、シード選択信号に応答して、これらの初期ビットパターンのいずれかを選択する。シフトレジスタ112は、シードロード信号に応答して、シードROM111で選択された初期ビットパターンを受け取り、この初期ビットパターンをビットクロックに同期して順次シフトする。排他的論理和回路113は、シフトレジスタ112から出力されたビットと、このシフトレジスタ112内の左から4番目のビットとの排他的論理和を求め、この演算結果をシフトレジスタ112に戻す。このシフトレジスタ112内の下位の8ビットは、ワードクロックに同期してフリップフロップ114にラッチされ、このフリップフロップ114内の8ビットのビット列が各排他的論理和回路115に加えられる。これらの

排他的論理和回路115は、8ビットのビット列と共に、8ビット(1ワード)の主データを入力し、各ビットの排他的論理をそれぞれ求め、これらの演算結果を出力する。

【0015】一方、8/16変換器102は、スクランブルされた主データから出力用の主データを形成するために、2段階の変換を行っている。第1段階は、スクランブルされたデータをPPM(Pit Position Modulation)によって変調して、8ビットの主データから16ビットの主データを形成すると言うものであり、第2段階は、この16ビットの主データをPWM(Pulse Width Modulation)によって変調し、この16ビットの主データから出力用の主データを形成すると言うものである。

【0016】図20は、この8/16変換器102の構成を示している。同図において、スクランブラー101からのスクランブルされた8ビットの主データは、フリップフロップ121を介してメインテーブル122及びサブテーブル123に加えられると共に、DSV制御回路124に加えられる。メインテーブル122は、この主データを入力すると共に、セレクター回路125からネクストステートを指示され、同様に、サブテーブル123は、この主データを入力すると共に、セレクター回路125からネクストステートを指示される。

【0017】メインテーブル122は、次の表1に示す様なメインデータを有しており、このメインデータを参照して、8ビットの主データ及びネクストステートに対

応する16ビットの主データを検索し、この16ビットの主データを出力する。同様に、サブテーブル123は、次の表2に示す様なサブデータを有しており、このサブデータを参照して、8ビットの主データ及びネクストステートに対応する16ビットの主データを検索し、この16ビットの主データを出力する。

【0018】ただし、8ビットの主データの値の範囲が0~255となるから、メインテーブル122においては、8ビットの主データの各値(0~255)に対応して16ビットの各主データを予め定めているものの、表1には、8ビットの主データの各値の一部(0~45)と、これらの値に対応する16ビットの主データのみを示している。また、サブテーブル123においては、メインテーブル122とは異なり、8ビットの主データの各値の一部(0~87)のみに対応して16ビットの各主データを予め定めており、表2には、8ビットの主データの各値の更なる一部(0~45)と、これらの値に対応する16ビットの各主データを示している。更に、各テーブル122、123のいずれにおいても、各主データに対応してそれぞれのネクストステートを予め定めており、16ビットの主データの検索に際しては、この16ビットの主データに対応するネクストステートも読み出される。

【0019】

【表1】

8/16 変調符号の交換テーブル(メイン)

Data Symbol	State 1			State 2			State 3			State 4		
	Code MSB	Word LSB	Next State	Code MSB	Word LSB	Next State	Code MSB	Word LSB	Next State	Code MSB	Word LSB	Next State
0	001000000001001		1	010000100100000		2	001000000001001		1	010000100100000		2
1	001000000001010		1	001000000001001		1	100000010010000		3	100000010010000		3
2	001000010010000		2	001000010010000		2	100000000001001		1	100000000001001		1
3	001000000100100		2	010001001000000		4	001000000100100		2	010001001000000		4
4	001000001001000		2	001000001001000		2	100000010010000		2	100000010010000		2
5	001000000100100		2	001000000100100		2	100100100000000		4	100100100000000		4
6	001000000100100		3	001000000100100		3	100010010000000		4	100010010000000		4
7	001000000100100		3	010000000010010		1	001000000100100		3	010000000010010		1
8	001000000100100		3	001000000100100		3	100001001000000		4	100001001000000		4
9	001000010010000		3	001000010010000		3	100100100000000		1	100100100000000		1
10	001001001000000		4	001001001000000		4	100010010000000		1	100010010000000		1
11	001000100100000		4	001000100100000		4	100000010010000		3	100000010010000		3
12	001000000100000		1	001001001000000		1	100000010010000		2	100000010010000		2
13	001000100100000		1	001000100100000		1	100001001000000		1	100001001000000		1
14	001000000100100		1	010000000010010		3	001000000100100		1	010000000010010		3
15	001000010010000		1	001000100100000		1	100000010010000		1	100000010010000		1
16	001000000100100		1	001000000100100		1	100000010010000		1	100000010010000		1
17	001000000100010		1	001000000100010		1	100000010010000		4	100000010010000		4
18	000100000000100		1	010000000100100		2	000100000000100		1	010000000100100		2
19	001000000001001		1	001000000001001		1	100100010000000		4	100100010000000		4
20	000100000001001		1	000100000001001		1	100010010000000		4	100010010000000		4
21	000010000000001		1	000010000000001		1	100000010010001		1	100000010010001		1
22	000010000000001		1	000010000000001		1	100000000100100		1	100000000100100		1
23	001000100010000		2	001000100010000		2	100000000100100		2	100000000100100		2
24	001000010001000		2	001000010001000		2	100000000100100		3	100000000100100		3
25	001000001000100		2	010000000010010		2	001000001000100		2	010000000010010		2
26	001000000100100		2	001000000100100		2	100000000100010		1	100000000100010		1
27	000100010010000		2	000100010010000		2	100000000010001		1	100000000010001		1
28	001000000001000		2	010000001001000		3	001000000001000		2	010000001001000		3
29	000100001001000		2	000100001001000		2	100100100000010		1	100100100000010		1
30	000100000100100		2	010000010010000		3	000100000100100		2	010000010010000		3
31	000100000010010		2	000100000010010		2	100100010000000		1	100100010000000		1
32	000100000000010		2	000100000000010		2	100010010000001		1	100010010000001		1
33	000100000000010		3	000100000000010		3	100010001000000		1	100010001000000		1
34	000100000010010		3	000100000010010		3	100000000100100		2	100000000100100		2
35	000100000100100		3	010000100100000		4	000100000100100		3	010000100100000		4
36	000100001001000		3	000100001001000		3	100000000100100		3	100000000100100		3
37	000100010010000		3	000100010010000		3	100001000100000		4	100001000100000		4
38	001000000001000		3	010010010000000		1	001000000001000		3	010010010000000		1
39	001000000100010		3	001000000100010		3	100100001000000		4	100100001000000		4
40	001000001000100		3	010001001000000		1	001000001000100		3	010001001000000		1
41	001000010001000		3	001000010001000		3	100001001000000		1	100001001000000		1
42	001000100010000		3	001000100010000		3	100000100010000		2	100000100010000		2
43	001001000100000		4	001001000100000		4	100001000100000		1	100001000100000		1
44	000100100100000		4	000100100100000		4	100000100010000		3	100000100010000		3
45	000001000000001		1	010001000100000		4	100000100100000		1	010001000100000		4

8/16 変調符号の変換テーブル(サブ)

Data Symbol	State 1			State 2			State 3			State 4		
	Code Word	MSB	LSB	Code Word	MSB	LSB	Code Word	MSB	LSB	Code Word	MSB	LSB
0	0000010010000000	4	4	0000010010000000	4	4	0100100001001000	2	2	0100100001001000	2	2
1	0000100100000000	4	4	0000100100000000	4	4	0100100001001000	3	3	0100100001001000	3	3
2	0001001000000000	4	4	0001001000000000	4	4	0100100001001001	1	1	0100100000001001	1	1
3	0000001001000000	4	4	0100010000000001	1	1	1000001000000000	4	4	0100010000000001	1	1
4	0000000100100000	3	3	0100100000000010	1	1	1001000000000100	3	3	0100100000000010	1	1
5	0000000010010000	3	3	0100001000000000	4	4	1001000000100100	3	3	0100001000000000	4	4
6	0000000001001000	3	3	0100100000000100	2	2	1001000001001000	3	3	0100100000000100	2	2
7	0000000000100100	2	2	0100000100000000	4	4	1001000000000100	2	2	0100000100000000	4	4
8	0000000000010010	2	2	0100100010010000	3	3	1001000000100100	2	2	0100100010010000	3	3
9	0000000000001001	2	2	0100100000100100	2	2	1001000001001000	2	2	0100100000100100	2	2
10	0000010001000000	4	4	0000010001000000	4	4	1001001001000000	4	4	1001001001000000	4	4
11	0000100010000000	4	4	0000100010000000	4	4	1000100001001000	3	3	1000100001001000	3	3
12	0001000100000000	4	4	0001000100000000	4	4	0100010001001000	3	3	0100010001001000	3	3
13	0010001000000000	4	4	0010001000000000	4	4	1000100000000100	3	3	1000100000000100	3	3
14	0000001000100000	3	3	0100100000000100	3	3	1001000010010000	3	3	0100100000000100	3	3
15	0000000100010000	3	3	0100100010010000	2	2	1001000100100000	3	3	0100100010010000	2	2
16	0000000010001000	3	3	0100001000000001	1	1	0100100000010000	3	3	0100001000000001	1	1
17	0000000000100010	3	3	0100010000000010	1	1	0100100010001000	3	3	0100010000000010	1	1
18	0000000000001001	2	2	0100100000100100	3	3	1001000010010000	2	2	0100100000100100	3	3
19	0010000010001000	2	2	0100100100100000	3	3	1001000100100000	2	2	0100100100100000	3	3
20	0000000100010000	2	2	0100100100100000	2	2	0100010001001000	2	2	0100010001001000	2	2
21	0000000010001000	2	2	0100100000100100	1	1	0100100000010000	2	2	0100100000100100	1	1
22	0000010010000001	1	1	0000010010000001	1	1	1000100000100100	3	3	1000100000100100	3	3
23	0000100100000001	1	1	0000100100000001	1	1	1000100010010000	3	3	1000100010010000	3	3
24	0001001000000001	1	1	0001001000000001	1	1	0100100010001000	2	2	0100100010001000	2	2
25	0010001000000001	1	1	0010001000000001	1	1	1000100000000100	2	2	1000100000000100	2	2
26	0000000001001001	1	1	0100010000000100	3	3	1000010000000001	1	1	0100010000000100	3	3
27	0000000000100010	1	1	0100001000000001	1	1	1000100000000001	1	1	0100001000000001	1	1
28	0000000000001001	1	1	0100010000000100	2	2	1001000000000100	1	1	0100010000000100	2	2
29	0000000100100001	1	1	0100010000000100	1	1	1001000000010010	1	1	0100010000000100	1	1
30	0000100001000000	4	4	0000100001000000	4	4	1000100000100100	2	2	1000100000100100	2	2
31	0001000010000000	4	4	0001000010000000	4	4	1000100000100100	2	2	1000100000100100	2	2
32	0010000100000000	4	4	0010000100000000	4	4	0100010000000100	1	1	0100010000000100	1	1
33	0000010000100000	3	3	0000010000100000	3	3	0100100001001001	1	1	0100100001001001	1	1
34	0000001000010000	3	3	0100010000010010	1	1	1000100100100000	3	3	0100010000010010	1	1
35	0000000100001000	3	3	0100100000100001	1	1	1001000000000100	3	3	0100100000100001	1	1
36	0000000010000100	2	2	0100000100000000	4	4	1001000001000100	3	3	0100000100000000	4	4
37	0000000000100001	3	3	0000010000100000	2	2	1000001000000001	1	1	0000010000100000	2	2
38	0000000000001001	2	2	0100010000100100	3	3	1000100010010000	2	2	0100010000100100	3	3
39	0000000100001000	2	2	0100010000100100	2	2	1000100100010000	2	2	0100010000100100	2	2
40	0000001000010000	2	2	0100100000100010	1	1	1001000000000100	2	2	0100100000100010	1	1
41	0000010001000001	1	1	0000010001000001	1	1	1000010000000001	1	1	0000010001000001	1	1
42	0000010010000010	1	1	0000010010000010	1	1	1000000100000000	4	4	1000000100000000	4	4
43	0000100010000001	1	1	0000100010000001	1	1	1001000001000100	2	2	1001000001000100	2	2
44	0000100100000010	1	1	0000100100000010	1	1	1001000000000100	1	1	1001000000000100	1	1
45	0001000100000001	1	1	0001000100000001	1	1	1001000001000100	3	3	1001000001000100	3	3
46	0001001000000010	1	1	0001001000000010	1	1	1001000100010000	3	3	1001000100010000	3	3

【0021】メインテーブル122では、8ビットの主データの値が0～87の範囲内に含まれていれば、セレクター回路125から指示されたネクストステートに応じて、表1における各ステートS1～S4のうちの1つを選択し、このステートに属する16ビットの各主データのうちから8ビットの主データの値に対応する16ビットの主データを選択し、この16ビットの主データDMをクロスバースイッチ126に出力する。また、メインテーブル122では、8ビットの主データの値が88～255の範囲内に含まれており、セレクター回路125から指示されたネクストステートによって表1における2つの各ステートS1、S4のいずれかが指示されていれば、表1における2つの各ステートS1、S4から8ビッ

トの主データの値に対応する16ビットの各主データを選択し、これらの主データD1、D4をクロスバースイッチ126に出力する。更に、メインテーブル122では、8ビットの主データの値が88～255の範囲内に含まれており、セレクター回路125から指示されたネクストステートによって表1における2つの各ステートS2、S3のいずれかが指示されていれば、指示されたステートから8ビットの主データの値に対応する16ビットの主データを選択し、この主データをクロスバースイッチ126に出力する。

【0022】同様に、サブテーブル123では、8ビットの主データの値が0～87の範囲内に含まれていれば、セレクター回路125から指示されたネクストステ

ートに応じて、表2における各ステートS1～S4のうちの1つを選択し、このステートから8ビットの主データの値に対応する16ビットの主データを選択し、この16ビットの主データDSをクロスバースイッチ126に出力する。

【0023】この際、各テーブル122, 123からは、16ビットの各主データが読み出されるだけでなく、これらの主データに対応するそれぞれのネクストステートも読み出されて、クロスバースイッチ126に出力される。

【0024】なお、フレームの最初のときには、シンクコードにตอบสนองして、ネクストステートを1に初期設定する。

【0025】DSV制御回路124は、8ビットの主データ及びセレクター回路125からネクストステートを入力すると、8ビットの主データの値及びネクストステートに基づく判定を行い、この判定結果に応じたクロスバースイッチ切換信号をクロスバースイッチ126に出力する。

【0026】クロスバースイッチ126は、このクロスバースイッチ切換信号にตอบสนองして、メインテーブル122からの16ビットの1つ乃至2つの主データ及びサブテーブル123からの16ビットの主データのうちから1つ乃至2つを選択し、16ビットの1つ乃至2つの主データを第1DSV演算回路127及び第2DSV演算回路128の少なくとも一方に出力する。

【0027】例えば、8ビットの主データの値が87以下であって、この8ビットの主データの値に対応する16ビットの各主データがメインテーブル122及びサブテーブル123のいずれにも存在すると、DSV制御回路124で判定された場合は、クロスバースイッチ126は、クロスバースイッチ切換信号にตอบสนองして、メイン

テーブル122からの16ビットの主データDM、及びサブテーブル123からの16ビットの主データDSを選択し、これらの16ビットの主データDM, DSを第1及び第2DSV演算回路127, 128に出力する。

【0028】また、8ビットの主データの値が88以上であって、この8ビットの主データの値に対応する各16ビットの主データがメインテーブル122にのみに存在し、かつセレクター回路125からのネクストステートによって各ステート1, 4のいずれかが指定されていると、DSV制御回路124で判定された場合は、クロスバースイッチ126は、クロスバースイッチ切換信号にตอบสนองして、メインテーブル122からの16ビットの各主データD1, D4を第1及び第2DSV演算回路127, 128に出力する。

【0029】更に、8ビットの主データの値が88以上であって、この8ビットの主データの値に対応する16ビットの各主データがメインテーブル122にのみに存在し、かつセレクター回路125からのネクストステートによって各ステート2, 3のいずれかが指定されていると、DSV制御回路124で判定された場合は、クロスバースイッチ126は、クロスバースイッチ切換信号にตอบสนองして、メインテーブル122からの16ビットの1主データ（ネクストステートによって指定された各ステート2, 3のいずれかより読み出された16ビットの主データ）のみを選択し、この16ビットの主データを第1DSV演算回路127に出力する。

【0030】この様なクロスバースイッチ126による各16ビットの主データDM, D1, D4, DSの選択肢を次の表(3)に整理して示す。

【0031】

【表3】

主データの値	0～87	88～255	88～255
ネクストステート	1,2,3,4	1or4	2or3
データの選択	メインテーブルのD _M 及びサブテーブルのD _S を選択	メインテーブルの各ステート1,4のD ₁ ,D ₄ を選択	メインテーブルの各ステート2,3のうちのネクストステートによって指定された方のD _M を一義的に選択

【0032】ただし、8ビットの主データの値が88以上であって、セレクター回路125からのネクストステートによって各ステート1, 4のいずれかが指定されているときに、各ステート1, 4のいずれかについて、8ビットの主データのワードと1つ前のワード間に連続する同一符号のランレングスが2～10の範囲を外れていれば、DSV制御回路124は、各16ビットの主データD1, D4のうちから、ランレングスが2～10の範囲に入っている方のステートの16ビットの主データのみが出力される様に、クロスバースイッチ126を制御す

る。このため、メインテーブル122からの各16ビットの主データD1, D4を第1及び第2DSV演算回路127, 128に出力するには、8ビットの主データのワードと1つ前のワード間に連続する同一符号のランレングスが2～10の範囲に入ることが条件となる。

【0033】第1及び第2DSV演算回路127, 128は、16ビットの主データを入力する度に、16ビットの主データにかかわるDSV (Digital Sum Value) を演算して求める。このDSVの演算方法は、次の通りである。

【0034】例えば、図21(a)に示す様な16ビット(1ワード)の主データをクロスバースイッチ126からセクター回路125を通じてPWM変換回路129に入力すると、このPWM変換回路129は、この16ビットの主データをパルス幅変調して、図21(b)に示す様な出力用の主データを形成し、この主データを出力する。

【0035】図21(a)、(b)を比較すれば明らかな様に、1ワードの出力用の主データにおける値1の個数と値0の個数は、1ワードの16ビットの主データから導き出すことができる。そこで、16ビットの主データを入力する度に、16ビットの主データに対応する1ワードの出力用の主データにおける値1の個数と値0の個数を求め、両者の個数の差を求める。この差は、各ワード毎に加算され、その積算値がDSVとして求められる。第1及び第2DSV演算回路127、128によって求められたそれぞれのDSVは、セクター回路125及び比較器130に与えられる。実際には、1ワードの出力用の主データにおける値1を+1に置き換えると共に、値0を-1に置き換え、1ワードの出力用の主データにおける値+1と値-1の総和を求め、この総和を各ワードの度に積算してDSVを求める。

【0036】また、第1及び第2DSV演算回路127、128による演算は、各セクター単位で行われ、1つのセクターの開始時点から終了時点まで、連続的に行われる。セクターの開示時点で、PWM変換回路129から該セクターの最初のビットLSBを第1及び第2DSV演算回路127、128に入力し、このビットLSBにตอบสนองして、出力用の主データの最初の値を0に初期設定する。

【0037】比較器130は、第1及び第2DSV演算回路127、128からの各DSVを入力すると、これらのDSVの絶対値が低い方を選択し、このDSVを求めた側の演算回路をセクター回路125に指示する。これにตอบสนองして、セクター回路125は、比較器130から指示された演算回路を選択し、この演算回路によってDSVが求められた16ビットの主データをPWM変換回路129に出力すると共に、この16ビットの主データに伴うネクストステートをメインテーブル122、サブテーブル123及びDSV制御回路124に出力する。

【0038】すなわち、8/16変換器102においては、8ビットの主データを16ビットの各主データに変換し、16ビットの各主データに対応する出力用の各主データのDSVを予め求めて、より小さなDSVを導き得る側の16ビットの主データを選択し、この16ビットの主データを出力用の主データに変換して出力している。ただし、先に述べた様に8ビットの主データの値に対応する16ビットの各主データがメインテーブル122にのみに存在し、かつセクター回路125からのネ

クストステートによって各ステート2、3のいずれかが指定されている場合は、メインテーブル122からの16ビットの1主データ(ネクストステートによって指定された各ステート2、3のいずれかより読み出された16ビットの主データ)のみを選択するので、この16ビットの主データから出力用の主データへの変換が一義的に行われることになる。

【0039】この様な符号変換装置による一連の処理を図22及び図23に示すフローチャートに従って整理して説明すると、次の通りである。

【0040】まず、入力された主データの各ビットをカウントすることにより、フレームの先頭を識別すると、このフレームの先頭にシンクコードを付加し(各ステップ201、202)、8/16変換器102のセクター回路125から出力されるネクストステートを1に初期設定する(ステップ203)。そして、セクターの終了でなければ(ステップ204、NO)、ステップ201に戻る。

【0041】引き続き、入力した主データのフレームのスクランブルを開始し、スクランブルされた主データのフレームを1ワードずつ出力用の主データのフレームに変換する(各ステップ205、206)。そして、次のフレームを識別したときには、このフレームの先頭にシンクコードを付加し、再びネクストステートを1に初期設定して、スクランブルと変換を行う。以降同様に、各フレームの処理を繰り返し、1セクターの処理を終了する(ステップ204、YES)。

【0042】また、ステップ206においては、8ビット(1ワード)の値が88未満であるか否かを判定し、88未満であれば(ステップ301、YES)、メインテーブル122からの16ビットの主データDM及びサブテーブル123からの16ビットの主データDSのうちからより小さなDSVを持つ方を選択する(ステップ302)。

【0043】また、8ビット(1ワード)の値が88以上であれば(ステップ301、NO)、メインテーブル122からの16ビットの1つ乃至2つの主データのいずれかを選択する(ステップ303)。

【0044】こうしてDSVが常に小さくなる様な出力用の主データを形成すれば、この主データの低周波成分が抑制される。このため、この主データを記録媒体に記録し、これを再生する記録再生装置では、再生信号の低周波成分が抑制され、また、この再生信号のエンベロープ(包絡線)の偏りを抑制することができ、再生エラーを防止することができる。

【0045】

【発明が解決しようとする課題】しかしながら、上記従来の符号変換装置では、記録される再生信号の低周波成分を抑制し、この低周波成分の異常な増加が起こる確率を低下させることはできるものの、この確率を十分に低

下させているとは言えず、再生エラーを起こすことがあった。

【0046】具体的には、図20に示す8/16変換器102において、16ビットの主データがM種類であれば、これらの主データのうちには、DSVの発散を招くビットパターンを含むものがN種類あり、この様なビットパターンを含む16ビットの主データが連続すると、DSVが増減して発散し、出力用の主データの低周波成分が増加してしまった。

【0047】ここでは、 $M=256$ であって、 $N=168$ となり、8ビットの主データの値が0~87であれば、DSVが収束するものの、8ビットの主データの値が88~255であれば、DSVが発散する。実際には、各主データの全体の約10パーセントで、DSVの発散が発生する。図24(a)のグラフは、1セクターにおける8ビットの主データの値の変動を示しており、図24(b)のグラフは、図24(a)の主データの値の変動に応じたDSVの増減を示している。これらのグラフからも明らかな様に、8ビットの主データの値が88~255の範囲に含まれ続けると、DSVが発散する。

【0048】すなわち、従来の符号変換装置では、入力した主データをスクランブルし、このスクランブルされた主データを8/16変換しているものの、この主データの低周波成分を十分に低減することができず、このために、この主データを記録した記録媒体からの再生に際しては、再生信号の低周波成分が増加し、また、この再生信号のエンベロープ(包絡線)が急激に変動し、再生エラーを招いた。この再生エラーは、再生信号のエンベロープを補正したり、主データに付加されるECC(Error Correction Code)によって、この主データを訂正したとしても、防ぐことができない。

【0049】また、スクランブルデータの各疑似乱数系列を予め定められた順次で変更するので、同一のセクターに、略同一の信号を繰り返して書き換える可能性が十分にある。この場合は、このセクターの記録媒体部分の特性が不均一に変化するので、再生信号のS/Nが低下して、再生エラーを招くことがある。

【0050】この様な再生エラーは、主データのスクランブルの方法を改善することにより、防止し得ると考えられる。

【0051】そこで、この発明は、上記従来の課題を解決するものであって、DSVの発散が十分に抑えられる様に疑似乱数系列を制御することによって、記録媒体に記録される信号の低周波成分を低減することを目的とする。

【0052】また、この発明は、同一のセクターに、略同一の信号を繰り返して書き換えることがない様に、疑似乱数系列を制御することを目的とする。

【0053】

【課題を解決するための手段】上記従来の課題を解決するために、請求項1に記載の発明は、入力された主データを複数種類の疑似乱数系列のいずれかに基づいてスクランブルし、このスクランブルされた主データを複数種類の変換データのいずれかによって変換し、この変換された主データから出力用の主データを形成し、この出力用の主データによって示される値0の個数と値1の個数の差を示す演算値を求め、この演算値に応じて、各変換データのいずれかを選択する符号変換方式において、演算値の変化量が予め定められたしきい値を越えたか否かを判定するステップと、演算値の変化量がしきい値を越えたと判定されると、スクランブルに用いられる疑似乱数系列を変更するステップと、この変更された疑似乱数系列に基づいて、前記入力された主データを再度スクランブルするステップとを有している。

【0054】この様に出力用の主データによって示される値0の個数と値1の個数の差を示す演算値の変化量、つまりDSVの変化量がしきい値を越えたと、疑似乱数系列を変更してから前記入力された主データを再度スクランブルするので、DSVがしきい値を下回るまで、疑似乱数系列の変更とスクランブルが繰り返される。これによって、DSVの増加が確実に抑制され、出力用の主データの低周波成分が低減される。したがって、この出力用の主データを記録媒体に記録し、この記録媒体から信号を再生したときには、この再生信号の低周波成分が少なく済み、再生エラーを十分に防止することができる。

【0055】請求項2に記載の様に、主データの変換をM種類の変換データを持つ第1変調によって行い、出力用の主データの形成を第2変調によって行われても良い。ここでは、M種類の変換データのうちのN種類の変換データが演算値の増加を招くものとする。

【0056】請求項3に記載の様に、第1変調がM種類の変換データを持つビットポジション変調であって、第2変調がパルス幅変調であっても良い。

【0057】請求項4に記載の様に、演算値の変化量が第1期間Lにしきい値K以上となったときには、第1期間Lにおける出力用の主データの各ワードのうちに、この演算値を招く原因となったビットパターンを持つ各ワードが含まれ、このときの疑似乱数系列を第1疑似乱数系列とすると、この第1疑似乱数系列を予め定められた複数の第2疑似乱数系列のいずれかに変更しており、これらの第2疑似乱数系列は、再度行われるスクランブルに伴って形成される第1期間Lにおける出力用の主データとして、上記ビットパターンを持たない各ワードを $(M-N)/M$ 以上の割合で含むものを導き得る疑似乱数系列であっても良い。

【0058】ここでは、再度行われるスクランブルに用いられる第2疑似乱数系列として、DSVの増加の原因となるビットパターンを持たない各ワードを少なくとも

($M-N$)/ M 以上の割合で導き得るものを設定している。この様にビットパターンを持たない各ワードを少なくとも($M-N$)/ M 以上の割合で導けば、DSVの変化量が実用的なレベルまで低減する。

【0059】請求項5に記載の様に、第1疑似乱数系列に基づくスクランブルに伴って形成される一連の出力用の主データの期間を第2期間Hとすると、各第2疑似乱数系列は、 $H/L=J$ と少なくとも同数の種類だけ設定されても良い。

【0060】つまり、同一の第1疑似乱数系列に基づくスクランブルを行い続ける期間を第2期間Hとし、この第2期間Hよりも短い第1期間Lに、DSVがしきい値を越えるものとする、各第2疑似乱数系列を $H/L=J$ と少なくとも同数の種類だけ設定しておく。1つの第2疑似乱数系列を適用することによって、ある第1期間LでDSVがしきい値を越えるとしても、J個の各第2疑似乱数系列のうちから、第2期間Hを通じてDSVが増加することのない第2疑似乱数系列を求めることができる。

【0061】請求項6に記載の様に、演算値の変化量がしきい値を越えると、この時点より以前に入力した予め定められた長さの主データの部分を該部分の疑似乱数系列を変更してから再度スクランブルしても良い。

【0062】あるいは、請求項7に記載の様に、予め定められた長さの入力された主データに対応する出力用の主データの演算値を求め、この演算値の変化量がしきい値を越えたときには、この入力された主データを疑似乱数系列を変更してから再度スクランブルし、この演算値の変化量がしきい値以内となる疑似乱数系列を求めても良い。

【0063】請求項8乃至14に記載の符号変換方式は、請求項1乃至7の様に演算値の変化量がしきい値を越えたか否かを判定する代わりに、演算値の絶対値がしきい値を越えたか否かを判定している点のみが異なる。

【0064】請求項15乃至22に記載の符号変換装置は、上記符号変換方式を具体化したものである。

【0065】次に、請求項23に記載の発明は、主データをセクター単位で記録及び再生する記録媒体において、各セクター毎に、スクランブルデータ及びスクランブルされた主データを記録しており、スクランブルデータは、主データをスクランブルするための予め定められた各疑似乱数系列の初期値のいずれかを示し、これらの疑似乱数系列は、それぞれの初期値から始まるそれぞれの乱数であって、主データは、スクランブルデータの疑似乱数系列と主データを順次論理演算することによってスクランブルされたものである。

【0066】この様に各セクター毎に、スクランブルデータ及びスクランブルされた主データを記録しておけば、スクランブルデータ及びスクランブルされた主データをセクターから読み出して、この主データをスクラン

ブルデータに基づいて元に戻すことができる。したがって、各セクター毎に、スクランブルデータとして、各疑似乱数系列の初期値のいずれを記録しても構わない。しかも、このスクランブルデータは、疑似乱数系列の初期値を示すものであって、この疑似乱数系列が初期値から始まる乱数であるから、主データを十分にスクランブルしてから、この主データを記録することができる。これによって、セクターに記録される信号の低周波成分を抑制することができ、また同一のセクターに、略同一の信号を繰り返して書き換えることがなくなる。

【0067】請求項24に記載の様に、疑似乱数系列は、最大長周期系列であっても良い。

【0068】請求項25に記載の様に、スクランブルデータは、セクターの主データをスクランブルするか否かを示しても良い。

【0069】この場合は、主データを必ずしもスクランブルする必要がなく、主データをそのまま記録及び再生することができる。

【0070】請求項26に記載の様に、スクランブルデータを乱数に基づいて設定したり、あるいは請求項27に記載の様に、スクランブルデータを同一セクターでの主データの書き換え回数に基づいて設定しても良い。

【0071】これによって、スクランブルデータを不規則に変更することができる。

【0072】請求項28乃至32に記載の符号記録装置は、請求項23に記載の記録媒体に主データを記録するためのものである。

【0073】請求項33に記載の符号再生装置は、請求項23に記載の記録媒体から主データを再生するためのものである。

【0074】

【発明の実施の形態】以下、この発明の実施形態を添付図面を参照して説明する。図1は、この発明の符号変換装置の第1実施形態を示している。同図において、メモリ11は、主データを入力して記憶するものであって、少なくとも2セクターの主データを記憶することができる。スクランブラ12は、メモリ11から主データを入力すると、この主データをスクランブルして、このスクランブルされた主データを8/16変換器13に出力する。8/16変換器13は、スクランブルされた主データから出力用の主データを形成するために、スクランブルされたデータをPPMによって変調して、8ビットの主データから16ビットの主データを形成し、更に、この16ビットの主データをPWMによって変調し、この16ビットの主データから出力用の主データを形成し、この出力用の主データを出力する。比較器14は、8/16変換器13によって求められたDSVを入力し、このDSVの変化量(微分値)が予め定められたしきい値を越えたか否かを判定し、この判定結果をコントローラ15に出力している。コントローラ15は、この

符号変換装置を統括的に制御するものであって、主データをメモリ11に書き込みのための書き込みアドレスの指示や、主データをメモリ11から読み出すための読み出しアドレスの指示、スクランブラー12の疑似乱数系列の初期ビットパターンの変更、変換失敗信号の出力等を行う。

【0075】スクランブラー12は、図19に示すスクランブラー101と同様に構成され、シードROM111、シフトレジスタ112、排他的論理和回路113、フリップフロップ114及び各排他的論理和回路115を備えており、8ビット（1ワード）の主データを入力してスクランブルし、このスクランブルされた主データを出力する。

【0076】8/16変換器13は、図20に示す8/16変換器102と同様に構成され、フリップフロップ121、メインテーブル122、サブテーブル123、DSV制御回路124、セレクター回路125、クロスバスイッチ126、第1及び第2DSV演算回路127、128、PWM変換回路129及び比較器130を備えており、8ビットの主データを16ビットの主データに変換し、この16ビットの主データを出力用の主データに変換して出力している。

【0077】この様な構成の符号変換装置の動作を図2に示すシーケンスチャートに従って説明する。まず、コントローラ15は、アイドル状態にあり（ステート401）、データイネーブル信号がアサートになると、メモリ11を書き込み状態に設定し（ステート402）、1セクターの主データの記憶を開始する。セクタースタート信号がアサートになると、コントローラ15は、メモリ11から1セクターの主データの読み出しを開始して、この主データをスクランブラー12に与えると共に、シード選択信号及びシードロード信号をスクランブラー12に出力する（ステート403）。スクランブラー12は、予め定められた各疑似乱数系列の初期ビットパターンを予め記憶しており、シード選択信号にตอบสนองして、これらの初期ビットパターンのいずれかを選択し、シードロード信号にตอบสนองして、選択された初期ビットパターンから開始される一連の乱数を生成し、この一連の乱数によって、主データの各ワードを順次スクランブルし、スクランブルされた主データの各ワードを8/16変換器13に順次出力する。なお、最初に設定される疑似乱数系列の初期ビットパターンは、図18に示す従来の装置と同様に、主データの入力に伴う論理アドレスの上位4ビットに基づいて設定すれば良い。

【0078】8/16変換器13は、スクランブルされた主データの各ワードをPPMによって順次変調して、各ワード毎に、8ビットの主データから16ビットの主データを形成し、更に、この16ビットの主データをPWMによって変調し、この16ビットの主データから出力用の主データを形成し、この出力用の主データを出力

する。また、8/16変換器13は、主データの各ワード毎に、DSVを積算して求め、このDSVを比較器14に出力する。比較器14は、このDSVの変化量がしきい値を越えたか否かを判定し、この判定結果をコントローラ15に出力する。

【0079】こうしてメモリ11から1セクターの主データを読み出して、この主データのスクランブルと変調を行っているときには、次の1セクター主データのメモリ11に入力して記憶している（ステート404）。

【0080】このメモリ11から1セクターの主データを読み出してしまうと、次の1セクターの主データをメモリ11に書き込むことのみが続行され（ステート405）、この書き込みが終了して、セクタースタート信号がアサートになると、ステート404に戻り、この1セクターの主データを読み出して、この主データのスクランブルと変調を行う。

【0081】ステート404において、次の1セクターの主データが入力されなければ、1セクターの主データをメモリ11から読み出すことのみが続行され（ステート406）、この1セクターの主データの読み出しが終了すると、コントローラ15は、次の1セクターの主データの待機状態となり（ステート407）、読み出しアドレスと書き込みアドレスを一致させて、アイドル状態に戻る（ステート401）。

【0082】したがって、各セクターの主データをメモリ11に順次記憶し、これに伴い、これらのセクターの主データをメモリ11から順次読み出して、これらのセクターの主データを順次スクランブルすると共に変調して出力している。こうして出力された主データの各フレーム間にそれぞれのシンクコードを挿入し、エラー訂正コードを付加してから、この主データを記録再生装置（図3に示す）の記録部24に入力する。この記録再生装置では、セクター単位で、主データを記録媒体に記録する。

【0083】一方、1セクターの主データのスクランブルと変調を行っている途中で（各ステップ404、406）、比較器14によって、DSVの変化量がしきい値を越えたと判定されると、つまりDSVが発散して、8/16変換器13から出力される主データの低周波成分が大きくなると、これにตอบสนองしてコントローラ15は、メモリ11への書き込みアドレスと読み出しアドレスを初期化すると共に、変換失敗信号を出力する（ステート408）。この変換失敗信号は、8/16変換器13、記録再生装置（図3に示す）のドライブ制御部26及びエラー訂正コード変調部22に出力される。

【0084】この変換失敗信号は、リセット信号として、8/16変換器13に入力され、この8/16変換器13を初期化する。また、この変換失敗信号にตอบสนองして、記録再生装置は、このセクターについての記録を中断して、このセクターについての記録をやり直す状態と

なる。更に、この変換失敗信号に応答して、前段の回路（記録再生装置のエラー訂正コード変調部22）は、主データの供給を該セクターからやり直す。

【0085】そして、コントローラ15は、メモリ11への書き込みが不可となるのを待ち（ステート409）、ステート401を経てステート402に戻り、先にDSVが発散した1セクターの主データの読み出しを再び開始して、この主データをスクランブラー12に与えると共に、シード選択信号及びシードロード信号をスクランブラー12に出力する（ステート410）。このステート410においては、DSVの発散を招いたものとは異なる疑似乱数系列によって、この1セクターの主データがスクランブルされる様に、コントローラ15は、この異なる疑似乱数系列の初期ビットパターンを指示するシード選択信号をスクランブラー12に出力する。これにตอบสนองして、スクランブラー12は、この異なる初期ビットパターンから開始される一連の乱数を生成し、この一連の乱数によって、主データを順次スクランブルし、スクランブルされた主データを8/16変換器13に順次出力する。8/16変換器13は、このスクランブルされた主データを変調して、出力用の主データを形成し、この出力用の主データを出力する。また、8/16変換器13は、DSVを積算して求め、このDSVを比較器14に出力する。

【0086】以降同様に、各ステート401～410が繰り返され、DSVがしきい値以下となるまで、疑似乱数系列の初期ビットパターンが変更されて、同一セクターの主データのスクランブルと変調が繰り返される。この結果、DSVがしきい値を越えない状態で、つまり8/16変換器13から出力される該セクターの主データの低周波成分が十分に抑制された状態で、このセクターの主データが変換され、このセクターの主データが記録再生装置によって記録媒体に記録される。このため、この記録媒体から信号を再生したときには、この再生信号の低周波成分が十分に少なく、再生エラーを十分に防止することができる。

【0087】さて、これまでに述べて来た8/16変換においては、入力される主データが8ビット単位（ワード単位）であるから、この主データの値が0～255のいずれかに相当し、これらの値0～255に応じて、16ビットの主データの値を予め設定して置かねばならない。すなわち、主データの変換データとして、256種類のものを予め設定しておかねばならない。

【0088】一方、16ビットの主データの上位2ビットが00となるビットパターンか、上位2ビットが01となる各ビットパターンのうちの一部分について、DSVが収束する傾向にあり、16ビットの主データの上位2ビットが00となるビットパターンか、上位2ビットが01となる各ビットパターンのうちの一部分について、DSVの発散を招き易い。このDSVの発散を招き易いビ

ットパターンの種類は、168種類である。したがって、先の256種類の変換データのうちの168種類の変換データがDSVの発散を招き易い。

【0089】ここで、予め定められた第1期間L（1セクターの主データの期間よりも短い）における各ワードの個数をGとし、主データの全ての変換データをM種類とし、DSVの発散を招き易い主データの変換データをN種類とすると、DSVの発散を招き易いビットパターンを含まない各ワードの個数が $G \times (M - N) / M$ の割合よりも多ければ、この第1期間LにおけるDSVが発散せずに済む。例えば、第1期間Lにおける各ワードの個数が45であるならば、 $45 \times (256 - 168) / 256 \approx 16$ となり、45個のうちの16個の各ワードがDSVの発散を招き易いビットパターンを含まなければ、この第1期間LにおけるDSVの発散を実用的なレベルまで抑制することができる。

【0090】したがって、同じセクターの主データについて、スクランブルと変調を2回以上繰り返すときに、最初の疑似乱数系列を第1疑似乱数系列とし、次の疑似乱数系列を第2疑似乱数系列とすると、この第2疑似乱数系列として、DSVの発散を招き易いビットパターンを含まない各ワードの個数が $G \times (M - N) / M$ の割合よりも多くなる疑似乱数系列が望ましい。

【0091】更に、1セクターの主データの期間を第2期間Hとすると、 $H / L = J$ と少なくとも同数の種類だけ、各第2疑似乱数系列を設定しておけば、1つの第2疑似乱数系列を適用したときに、ある第1期間LでDSVの発散を招いたとしても、その他の各第2疑似乱数系列のいずれかによって、その第1期間LにおけるDSVの発散を抑制することができる。

【0092】すなわち、第1期間Lの各ワードの度に第1疑似乱数系列に基づいて発生される各乱数と、同第1期間Lの各ワードの度に第2疑似乱数系列に基づいて発生される各乱数を順次比較したときに、相互の乱数の不一致の回数が少なくとも $G \times (M - N) / M$ の割合よりも多くなる様に、その第2疑似乱数系列を設定し、この様な第2疑似乱数系列を各第1期間Lについて求める。これによって、 $H / L = J$ と少なくとも同数の種類の各第2疑似乱数系列を設定することができる。通常、DSVの発散を招いた第1期間Lにおいては、各ワードの全てによってDSVの発散が招かれるので、第1及び第2疑似乱数系列間の各乱数の不一致の回数が少なくとも $G \times (M - N) / M$ の割合よりも多ければ、これらのワードを十分にスクランブルして、この第1期間LのDSVを抑制することができる。また、他の第1期間LでDSVの発散を招いたとしても、その他の各第2疑似乱数系列のいずれかによって、その他の第1期間LにおけるDSVの発散を抑制することができる。

【0093】ただし、第1疑似乱数系列の乱数と、これに一致しない第2疑似乱数系列の乱数は、ワードに含ま

れるDSVの発散を招き易い各ビットパターンを相互に異なる方法でスクランブルし得るものでなければならない。

【0094】例えば、スクランブラー12において、次式(2)の生成多項式を適用し、第1疑似乱数系列とJ種類の各第2疑似乱数系列を設定できる様にすれば良い。ただし、シードROM111、シフトレジスタ112、及びフリップフロップ114の容量を大きくする必要がある。

【0095】

【数2】

$$X^{31} + X^{25} + X^{20} + X^5 + 1$$

【0096】なお、この第1実施形態の符号変換装置では、DSVの変化量がしきい値を越えたか否かを判定しているが、DSVの絶対値が予め定められたしきい値を越えたか否かを判定し、この判定に基づいて、同一の1セクターの主データをスクランブルし直しても構わない。

【0097】図3は、図1の符号変換装置を適用した記録再生装置を示している。同図において、外部通信部21は、記録すべきデータを入力すると、このデータをエラー訂正コード変調部22に与える。エラー訂正コード変調部22は、このデータを一旦記憶して、このデータをセクター単位に分離し、各セクターのデータにそれぞれのエラー訂正コードを付加し、各セクターのデータ及びエラー訂正コードを変調部23に出力する。この変調部23は、図1の符号変換装置を含み、各セクター毎に、データ及びエラー訂正コードのスクランブルと変調を行って、出力用の主データを形成し、この主データに各シンクコード等を付加してから記録部24に出力する。記録部24は、1セクターの主データ及び各シンクコード等をシリアルデータに変換し、このシリアルデータ対応する記録用の信号を形成し、この記録用の信号を光ヘッド25に出力する。光ヘッド25は、この記録用の信号を光信号(レーザ光)に変換して、この光信号を光ディスク28に照射する。

【0098】ドライブ制御部26は、この記録再生装置を統括的に制御するものであり、変調部23及び記録部24の処理に同期して、1セクターの主データ及び各シンクコード等の記録をヘッド制御部27に指示する。これにตอบสนองして、ヘッド制御部27は、光ディスク28を回転駆動するモータ29を制御すると共に、この光ヘッド25が光ディスク28のトラックをトレースする様に、この光ヘッド25のアクチュエータを制御する。

【0099】この結果、1セクターの主データ及び各シンクコード等が光ディスク28の1セクター(記憶領域)に記録される。

【0100】ここで、先に述べた様に、図1の符号変換装置は、1セクターの主データのスクランブルと変調を

行っているときに、DSVが発散すると、変換失敗信号を出力する。そして、同一セクターの主データを再び受け取ると、疑似乱数系列を変更してから、このセクターの主データのスクランブルと変調をやり直す。

【0101】この記録再生装置では、この変換失敗信号をエラー訂正コード変調部22及びドライブ制御部26に入力する。この変換失敗信号にตอบสนองして、エラー訂正コード変調部22は、同一セクターの主データを変調部23に再び与える。また、ドライブ制御部26は、このセクターの主データ及び各シンクコード等の記録のやり直しをヘッド制御部27に指示する。これにตอบสนองして、ヘッド制御部27は、光ディスク28を回転駆動するモータ29を制御すると共に、光ヘッド25の移動を制御し、このセクターの主データ及び各シンクコード等を光ディスク28の記録領域に書き込むことを一旦中断し、この後に同一セクターの主データ及び各シンクコード等を再び入力すると、これを光ディスク28の同一記録領域に再び書き込む。したがって、この記録再生装置では、DSVが収束する1セクターの主データを入力して、このセクターの主データ及び各シンクコード等を光ディスク28の同一記録領域に書き込むまで、光ディスク28の同一記録領域への書き込みを繰り返すことになる。

【0102】また、この記録再生装置では、データの再生を外部から外部通信部21を通じて指示されると、ドライブ制御部26は、この旨をヘッド制御部27に通知する。これにตอบสนองして、ヘッド制御部27は、光ディスク28を回転駆動するモータ29を制御すると共に、光ヘッド25の移動を制御する。これに伴い、光ヘッド25は、セクター単位で、主データ及び各シンクコード等を示す光信号を光ディスク28から読み出し、この光信号に対応する再生信号を再生部31に出力する。再生部31は、この再生信号のサンプリングと二値化を行って、シリアルデータを形成し、このシリアルデータを更にパラレルデータに変換し、1セクターの主データ及び各シンクコード等を復調部32に出力する。復調部32は、各シンクコードを検出しつつ、主データを復調し、この復調された主データをエラー訂正コード復調部33に出力する。エラー訂正コード復調部33は、主データのエラーを該主データのエラー訂正コードに基づき検出して訂正し、この訂正された主データを外部通信部21を通じて外部へと出力する。

【0103】図4は、この発明の符号変換装置の第2実施形態を示している。この第2実施形態の符号変換装置では、図1の装置にセクターカウンタ41を付設すると共に、スクランブラー12の代わりに、スクランブラー切り換え部42を適用してなり、DSVが発散したときには、各セクター単位で、スクランブルと変調をやり直すと共に、DSVの発散を招いたフレームでのみスクランブルの方法を変更している。

【0104】セクターカウンタ41は、セクタースタート信号がアサートになると、つまりメモリ11からの1セクターの主データの読み出しが開始されると、ビットクロック又はワードクロックに基づいて、このセクターの各フレームを順次カウントし、スクランブラー切り換え部42及び8/16変換器13で処理中のフレームの位置、つまりセクター先頭からの該フレームの位置を検出し、このフレームの位置を比較器14及びコントローラ15に通知している。

【0105】スクランブラー切り換え部42は、図5に示す様に、第1スクランブラー43、第2スクランブラー44、アンド回路45、各排他的論理和演算器46、47を備えている。第1スクランブラー43は、図19に示すスクランブラー101と略同様に構成され、シードROM111、シフトレジスタ112、排他的論理和回路113、及びフリップフロップ114（各排他的論理和回路115が排他的論理和演算器47に対応する）を備えており、上式（1）の生成多項式によって示されるM系列から生成されるデータ（乱数）を出力するものである。また、第2スクランブラー44も、図19に示すスクランブラー101と略同様に構成され、シードROM111、シフトレジスタ112、排他的論理和回路113、及びフリップフロップ114（各排他的論理和回路115が排他的論理和演算器47に対応する）を備えており、上式（2）の生成多項式によって示されるM系列から生成されるデータ（乱数）を出力するものである。ただし、第2スクランブラー44の場合は、シードROM111、シフトレジスタ112、及びフリップフロップ114の容量を第1スクランブラー43よりも大きくする必要がある。

【0106】通常、コントローラ15からのフレーム信号がネゲートとなっており、アンド回路45には値0の信号が入力されているので、第2スクランブラー44のデータが排他的論理和演算器46に出力されることはない。したがって、排他的論理和演算器47は、第1スクランブラー43から出力されたデータと8ビットの主データとの排他的論理和を求め、この演算結果を出力する。この場合、スクランブラー切り換え部42は、図19に示すスクランブラー101と同様の役目を果たす。

【0107】また、1セクターの任意のフレームの期間に、コントローラ15からのフレーム信号がアサートになると、アンド回路45に値1の信号が入力される。この場合、第1スクランブラー43のデータと第2スクランブラー44のデータとの排他的論理和が排他的論理和演算器46によって求められ、この演算結果と8ビットの主データとの排他的論理和が排他的論理和演算器47によって求められる。これによって、このフレームのみ、スクランブルの方法が他の各フレームとは異なることになる。

【0108】この様な構成の符号変換装置の動作を図6

に示すシーケンスチャートに従って説明する。まず、コントローラ15は、アイドル状態にあり（ステート501）、データイネーブル信号がアサートになると、メモリ11を書き込み状態に設定し（ステート502）、1セクターの主データの記憶を開始する。セクタースタート信号がアサートになると、コントローラ15は、メモリ11からの1セクターの主データの読み出しを開始して、この主データをスクランブラー切り換え部42に与えると共に、シード選択信号及びシードロード信号をスクランブラー切り換え部42に出力する（ステート503）。スクランブラー切り換え部42の第1及び第2スクランブラー43、44は、シード選択信号及びシードロード信号に応答して、それぞれの疑似乱数系列の初期ビットパターンを設定して、それぞれのデータを出力する。このとき、フレーム信号がネゲートとなっているので、第1スクランブラー43から出力されたデータによって、主データの各ワードが順次スクランブルされ、スクランブルされた主データの各ワードが8/16変換器13に順次出力される。8/16変換器13は、このスクランブルされた主データの各ワードをPPMによって順次変調して、各ワード毎に、8ビットの主データから16ビットの主データを形成し、更に、この16ビットの主データをPWMによって変調し、この16ビットの主データから出力用の主データを形成し、この出力用の主データを出力する。また、8/16変換器13は、主データの各ワード毎に、DSVを積算して求め、このDSVを比較器14に出力する。比較器14は、このDSVの変化量がしきい値を越えたか否かを判定し、この判定結果をコントローラ15に出力する。

【0109】こうしてメモリ11から1セクターの主データを読み出して、この主データのスクランブルと変調を行っているときには、次の1セクターの主データをメモリ11に入力して記憶している。また、フレーム信号をネゲートとしている（ステート504）。

【0110】このメモリ11から1セクターの主データを読み出してしまうと、読み出しを一旦中断して、次の1セクターの主データをメモリ11に書き込むことのみが続行され（ステート505）、この書き込みが終了して、セクタースタート信号がアサートになると、ステート504に戻り、この1セクターの主データを読み出して、この主データのスクランブルと変調を行う。

【0111】ステート504において、次の1セクターの主データが入力されなければ、1セクターの主データをメモリ11から読み出すことのみが続行され（ステート506）、次の1セクターの主データの待機状態となり（ステート507）、メモリ11が空になると、アイドル状態に戻る（ステート501）。

【0112】したがって、各セクターの主データをメモリ11に順次記憶し、これに伴い、これらのセクターの主データをメモリ11から順次読み出して、これらのセク

ターの主データを順次スクランブルすると共に変調して出力している。

【0113】一方、1セクターの主データのスクランブルと変調を行っている途中で（各ステップ504、506）、比較器14によって、DSVの変化量がしきい値を越えたと判定されると、つまりDSVが発散して、8/16変換器13から出力される主データの低周波成分が大きくなると、コントローラ15は、セクタカウンタ41からの通知に基づいて、DSVの発散を招いたフレームを識別して記憶してから、メモリ11への書き込みアドレスと読み出しアドレスを初期化すると共に、変換失敗信号を出力する（ステート508）。この変換失敗信号は、8/16変換器13、記録再生装置（図3に示す）のドライブ制御部26及びエラー訂正コード変調部22に出力される。

【0114】この変換失敗信号は、リセット信号として、8/16変換器13に入力され、この8/16変換器13を初期化する。また、この変換失敗信号にตอบสนองして、記録再生装置は、このセクターについての記録を中断して、このセクターについての記録をやり直す状態となる。更に、この変換失敗信号にตอบสนองして、前段の回路（記録再生装置のエラー訂正コード変調部22）は、主データの供給を該セクターからやり直す。

【0115】そして、コントローラ15は、メモリ11への書き込みが不可となるのを待ち（ステート509）、ステート501を経てステート502に戻り、先にDSVが発散した1セクターの主データの記録が再び開始されると、この1セクターの主データの読み出しを開始して、この主データをスクランブラー切り換え部42の第1及び第2スクランブラー43、44に与えると共に、シード選択信号及びシードロード信号を第1及び第2スクランブラー43、44に出力する（ステート510）。このステート510においては、DSVの発散を招いたものとは異なる疑似乱数系列によって、この1セクターの主データがスクランブルされる様に、コントローラ15は、この異なる疑似乱数系列の初期ビットパターンを指示するシード選択信号を第1及び第2スクランブラー43、44に出力する。

【0116】ここで、前回のDSVの発散を招いたフレームが先頭のフレームであった場合は、コントローラ15は、この先頭のフレーム期間のみ、フレーム信号をアサートにする。これにตอบสนองして、スクランブラー切り換え部42では、第1及び第2スクランブラー43、44から出力されたそれぞれのデータによって該フレームをスクランブルし、このスクランブルされたフレームを8/16変換器13に出力する（ステート511）。引き続き、次のフレームからはフレーム信号をネゲートにして、スクランブラー切り換え部42の第1スクランブラー43から出力されたデータのみによって、主データをスクランブルし、スクランブルされた主データの各ワ

ードを8/16変換器13に順次出力する（ステート504）。

【0117】また、前回のDSVの発散を招いたフレームが先頭のフレームでなかった場合は、フレーム信号をネゲートのままにして、スクランブラー切り換え部42の第1スクランブラー43から出力されたデータのみによって、主データをスクランブルし、スクランブルされた主データの各ワードを8/16変換器13に順次出力する（ステート504）。この途中で、前回のDSVの発散を招いたフレームに達すると、このフレーム期間のみ、フレーム信号をアサートにし、これにตอบสนองして、スクランブラー切り換え部42では、第1及び第2スクランブラー43、44から出力されたそれぞれのデータによって該フレームをスクランブルし、このスクランブルされたフレームを8/16変換器13に出力する（ステート511）。引き続き、次のフレームからは、フレーム信号をネゲートにして、スクランブラー切り換え部42の第1スクランブラー43から出力されたデータのみによって、主データをスクランブルする（ステート504）。

【0118】また、ステート504において、次の1セクターの主データが入力されず、1セクターの主データをメモリ11から読み出すことのみが続行されている状態で（ステート506）、前回のDSVの発散を招いたフレームに達すると、このフレーム期間のみ、フレーム信号をアサートにし、これにตอบสนองして、スクランブラー切り換え部42では、第1及び第2スクランブラー43、44から出力されたそれぞれのデータによって該フレームをスクランブルする（ステート512）。そして、次のフレームからは、フレーム信号をネゲートにし、スクランブラー切り換え部42の第1スクランブラー43から出力されたデータのみによって、主データをスクランブルする（ステート506）。

【0119】以降同様に、1セクターの主データのスクランブルと変調を行っている途中で（各ステップ504、506）、DSVが発散する限り、各ステート508、509、501、502、510を経て、同一セクターの主データのスクランブルと変調を繰り返す。

【0120】なお、この第2実施形態においては、DSVの発散を招いたときには、セクターの疑似乱数系列を変更すると共に、DSVの発散を招いたフレームの疑似乱数系列をも変更して、同一セクターの主データのスクランブルと変調を繰り返しているが、DSVの発散を招いたフレームの疑似乱数系列のみを変更して、スクランブルと変調を繰り返しても構わない。

【0121】また、第1実施形態と同様に、第1期間における各ワードの個数をGとし、主データの全ての交換データをM種類とし、DSVの発散を招き易い主データの変換データをN種類とすると、変更された第2疑似乱数系列として、DSVの発散を招き易いビットパター

ンを含まない各ワードの個数が $G \times (M - N) / M$ の割合よりも大きくなるものが望ましい。

【0122】また、1セクターの主データの期間を第2期間Hとすると、 $H / L = J$ と少なくとも同数の種類だけ、各第2疑似乱数系列だけ設定しておくのが望ましい。

【0123】更に、DSVの変化量がしきい値を越えたか否かを判定するのではなく、DSVの絶対値が予め定められたしきい値を越えたか否かを判定しても構わない。

【0124】図7は、この発明の符号変換装置の第3実施形態を示している。この第3実施形態の符号変換装置は、図1の装置に、8/16変換器13の出力を遮断したり通過させるための出力制御部48を付設したものである。

【0125】ここでは、まず、コントローラ15は、出力制御部48への出力イネーブル信号をネゲートとすることにより、8/16変換器13の出力を出力制御部48で遮断させる。この状態で、データイネーブル信号がアサートになると、コントローラ15は、メモリ11を書き込み状態に設定し、1セクターの主データをメモリ11に入力して記憶する。引き続き、セクタースタート信号がアサートになると、コントローラ15は、メモリ11から1セクターの主データを読み出して、この主データをスクランブラー12に与えると共に、シード選択信号及びシードロード信号をスクランブラー12に出力する。これに回答して、スクランブラー12は、各疑似乱数系列の初期ビットパターンのいずれかを選択し、選択された初期ビットパターンから開始される一連の乱数を生成し、この一連の乱数によって、主データをスクランブルし、スクランブルされた主データを8/16変換器13に出力する。8/16変換器13は、このスクランブルされた主データをPPMによって変調して、8ビットの主データから16ビットの主データを形成し、更に、この16ビットの主データをPWMによって変調し、この16ビットの主データから出力用の主データを形成し、この出力用の主データを出力する。

【0126】この出力用の主データは、出力制御部48によって遮断され、記録再生装置の記録部24へと伝達されることはない。

【0127】また、8/16変換器13は、主データの各ワード毎に、DSVを積算して求め、このDSVを比較器14に出力する。比較器14は、このDSVの変化量がしきい値を越えたか否かを判定し、この判定結果をコントローラ15に出力する。

【0128】DSVの変化量がしきい値以下であると判定された場合には、コントローラ15は、出力制御部48への出力イネーブル信号をアサートとすることにより、8/16変換器13の出力が出力制御部48を通過することを可能にする。また、コントローラ15は、先

のものと同一の1セクターの主データをメモリ11から再度読み出し、この主データをスクランブラー12に与えると共に、先のものと同じのシード選択信号及びシードロード信号をスクランブラー12に出力する。これによって、先のものと同じのスクランブルされた主データがスクランブラー12から8/16変換器13へと再び与えられ、この8/16変換器13からは先のものと同じの出力用の主データが出力される。

【0129】この出力用の主データは、出力制御部48を通過し、記録再生装置の記録部24に与えられる。

【0130】また、DSVの変化量がしきい値を越えたと判定された場合には、コントローラ15は、出力制御部48への出力イネーブル信号をネゲートに維持し続け、8/16変換器13の出力を出力制御部48で遮断しておく。この状態で、コントローラ15は、先のものと同じの1セクターの主データをメモリ11から再度読み出し、この主データをスクランブラー12に与えると共に、シード選択信号を変更し、この変更されたシード選択信号をシードロード信号と共にスクランブラー12に出力する。これに回答して、スクランブラー12は、疑似乱数系列の初期ビットパターンを変更して、一連の乱数を生成し、この一連の乱数によって、主データをスクランブルし、スクランブルされた主データを8/16変換器13に出力する。8/16変換器13は、このスクランブルされた主データを変調し、出力用の主データを出力する。この出力用の主データは、出力制御部48によって遮断され、記録再生装置の記録部24へと伝達されることはない。

【0131】また、8/16変換器13は、主データの各ワード毎に、DSVを積算して求め、このDSVを比較器14に出力する。比較器14は、このDSVの変化量がしきい値を越えたか否かを判定し、この判定結果をコントローラ15に出力する。

【0132】このDSVの変化量がしきい値を越えれば、出力制御部48への出力イネーブル信号をネゲートに維持し続けたまま、先のものと同じセクターの主データをメモリ11からまた再び読み出し、疑似乱数系列を変更して、この主データをスクランブルし、この主データを変調して、DSVを求める。そして、このDSVがしきい値以下となるまで、疑似乱数系列の変更、スクランブルと変調を繰り返す。

【0133】この結果、DSVの変化量がしきい値以下になると、出力制御部48への出力イネーブル信号をアサートにして、先のものと同じセクターの主データをメモリ11から再度読み出し、この主データを1つ前の処理のときと同じ疑似乱数系列によって再びスクランブルし、この主データを変調し、出力用の主データを出力制御部48を介して出力する。

【0134】したがって、DSVの変化量がしきい値を越える限り、出力制御部48によって8/16変換器1

3の出力を遮断し続けると共に、疑似乱数系列の変更、スクランブル及び変調を繰り返す。また、DSVの変化量がしきい値以下になると、出力制御部48による8/16変換器13の出力の遮断を解除し、疑似乱数系列を1つ前の処理のときと同一のものに設定してから、スクランブル及び変調を行い、DSVの変化量がしきい値以下となった出力用の主データを再度形成し、この出力用の主データを出力制御部48を介して出力する。この場合、DSVの変化量がしきい値以下となった主データのみをセクター単位で出力するので、記録再生装置では、この主データを光ディスク28の記録領域に一度書き込むだけで済み、光ディスク28の同一記録領域への書き込みを繰り返す必要がない。

【0135】なお、この第3実施形態においても、第2疑似乱数系列として、DSVの発散を招き易いビットパターンを含まない各ワードの個数が $G \times (M-N)/M$ の割合よりも大きくなるものが望ましい。

【0136】また、 $H/L = J$ と少なくとも同数の種類だけ、各第2疑似乱数系列だけ設定しておくのが望ましい。

【0137】更に、DSVの変化量がしきい値を越えたか否かを判定するのではなく、DSVの絶対値がしきい値を越えたか否かを判定しても構わない。

【0138】次に、この発明の符号記録媒体の一実施形態である光ディスクを図8乃至図11を参照して説明する。

【0139】図8は、この実施形態の光ディスクのデータユニットの構成を示している。図9は、この光ディスクのセクターフォーマットを示している。図10は、この光ディスクのシンクフレームフォーマットを示しており、このシンクフレームフォーマットに図9のデータユニットが含まれ、このシンクフレームフォーマットが図8のセクターフォーマットに含まれる。図11は、図9のセクターフォーマットを記録した光ディスクを模式的に示している。

【0140】光ディスクにおいては、映像データ、音声データ及び計算機用データ等の主データを各セクターに分割して記録及び再生している。図11に示す様に、光ディスク上のセクターは、HEADER部並びにMIRROR部91、及びRECORDING部92によって構成され、これらのセクターを交互に記録している。

【0141】図9に示す様に、1セクターは、HEADER部、MIRROR部及びRECORDING部からなり、全部で2697バイトである。HEADER部、MIRROR部は、光ディスク上で定められる。実際にデータの記録及び再生を行うのがRECORDING部であり、このRECORDING部は、GAP部、GUARD部、VFO部、PS部、DATA部、PA部、BUFFER部からなり、2567バイトを占める。これらのうちのDATA部は、2418バイトであり、図1

0のシンクフレームマットに相当し、26個のシンクフレーム(93バイト)から構成される。

【0142】図8に示す様に、データユニットは、全体で2064バイト(172バイト \times 12)であり、4バイトのDATAID部、2バイトのIED部、6バイトのSCL部、2048バイトのMAINDATA部、4バイトのEDC部から構成される。DATAID部には、トラッキングタイプ、つまりグルーブトラック及びランドトラックのいずれであるかを示すデータ、あるいはリードエリア及びブリードアウトエリアのいずれであるかを示すデータ、あるいはセクターアドレス等が記録されている。IED部には、DATAID部のエラーを検出するためのコードが記録され、SCL部には、スクランブルデータが記録され、EDC部には、このEDC部を除く2060バイトの他の部分のエラーを検出するためのコードが記録されている。

【0143】SCL部のスクランブルデータ及びDATAID部のセクターアドレスは、予め定められた複数の疑似乱数系列の初期ビットパターンのうちの1つを指示しており、この初期ビットパターンから開始される一連の乱数と光ディスクに記録すべき主データを論理演算(例えば排他的論理和)することによって、この主データに対してスクランブル処理がなされる。

【0144】このスクランブルされた主データをMAINDATA部とし、スクランブルデータ等を付加したものが図8のデータユニットとなる。このデータユニットにエラー訂正符号を付加すると、2366バイトとなり、これをデジタル変調の後に、91バイト毎に、2バイトの同期信号(シンクコード)を挿入して、図10に示す26個のシンクフレームを構成する。各同期信号SY0, SY1, ..., SY7は、“0”と“1”の組み合わせからなり、それぞれのパターンを有する。

【0145】この結果、全体で2418バイトとなり、これが図9のセクターフォーマットにおけるDATA部に該当する。

【0146】この実施形態では、スクランブルデータだけでなく、セクターアドレスにも基づいて、疑似乱数系列の選択を行っている。これは、セクターアドレスを無視すると、同じ乱数系列によってスクランブルされた相関性を強く持つそれぞれの信号が光ディスク28の隣接する各トラックに記録される可能性があり、この場合はトラッキング等が不安定になるからであり、このためにセクターアドレスを考慮して、隣接する各トラックについては相互に異なるそれぞれの疑似乱数系列を選択する様にしている。

【0147】SCL部のスクランブルデータは、例えば、通常は6ビットの全てを“0”とし、記録される信号の低周波成分が異常に増加するときには(DSVが発散するとき)、6ビットのいずれかを“0”以外の値としする。スクランブルデータの6ビットの全てを“0”

としたときには、スクランブルが行われず、6ビットのいずれかを“0”以外の値としたときには、スクランブルが行われる。

【0148】また、スクランブルデータとして、データ書き換えのときには書き換え回数に対応するデータ、あるいは乱数に基づいて得られたデータ、あるいはそれらを組み合わせて得られるデータ等を設定しても良い。

【0149】図12は、この発明の符号記録装置の第1実施形態を示している。この符号記録装置では、図11に示す光ディスクへの主データの記録を行う。

【0150】デジタル化された音声データ、映像データ及び計算機用データ等の主データは入力IF51を通して入力される。この主データは、論理演算器50に与えられる。この論理演算器50は、この主データと共に、疑似乱数発生器52から乱数を入力し、この乱数と主データを論理演算（例えば排他的論理和）することによって、この主データに対してスクランブル処理を施す。

【0151】疑似乱数発生器52は、原始多項式に基づいて疑似乱数系列を発生している。この原始多項式としては、例えば最大周期系列における15次の $X^{15} + X^4 + 1$ （上式(1)に示す）、あるいは31次の $X^{31} + X^3 + 1$ 等がある。例えば、15次の $X^{15} + X^4 + 1$ に基づいて疑似乱数系列を発生する場合は、疑似乱数発生器52は、図13に示す様に15個のレジスタREと、1つの排他的論理和回路EXから構成され、各レジスタREに初期ビットパターンR14, R13, …, R0を設定し、これらのレジスタREのビットを矢印で示す様に順次シフトし、これらのレジスタREのビットの値を逐次変更することによって、初期ビットパターンから開始される一連の乱数を生成する。

【0152】したがって、疑似乱数発生器52には、初期ビットパターンを与えねばならない。初期値データ発生器53は、複数の疑似乱数系列の初期ビットパターンを記憶しており、各セクターの主データを入力する度に、システムコントローラ54からの指示を受け、各疑似乱数系列の初期ビットパターンのいずれかを選択して疑似乱数発生器52に与える。

【0153】従来では、例えば図14に示す様な16種類の各値（ビット列）と16種類の疑似乱数系列の初期ビットパターン（初期値）を書き込んだデータテーブルを初期値データ発生器53に予め記憶しておき、システムコントローラ54から初期値データ発生器53へと光ディスクのセクター（記憶領域）を示すアドレスを与えていた。これにตอบสนองして、初期値データ発生器53は、セクターのアドレスから特定の4ビットを抽出し、この4ビットの値に対応する初期ビットパターンをデータテーブルから選択し、この初期ビットパターンを疑似乱数発生器52に与えていた。

【0154】しかしながら、光ディスクの同一のセクター（記憶領域）にデータを記録するときには、常に、同

じ疑似乱数系列の初期ビットパターンが選択される。この場合、同一のセクターに同一の主データを繰り返して書き込むと、このセクターの記録媒体の特性が不均一となり、再生信号のS/Nが低下してしまう。

【0155】そこで、この発明の実施形態では、セクターのアドレスだけでなく、他のデータをも考慮して、疑似乱数系列の初期ビットパターンを選択する。この他のデータとしては、例えば同一セクターについての書き換え回数を適用することができる。この場合、図14に示すデータテーブルの代わりに、図15に示す様に各書き換え数について、16種類の各値（ビット列）に対応して16種類の各疑似乱数系列の初期ビットパターン（初期値）を設定したデータテーブルを初期値データ発生器53に予め記憶しておき、このデータテーブルから書き換え回数を選択し、この選択された書き換え数の列を参照して、セクターのアドレスに対応する疑似乱数系列の初期ビットパターンを選択すれば良い。

【0156】あるいは、書き換え回数の代わりに、乱数発生器によって乱数を発生し、この乱数に応じて各データテーブルのいずれかを選択しても良い。更に、乱数発生器によって発生される乱数の初期値として、書き換え回数や書き換え日時を該乱数発生器に与えれば、乱数と書き換え回数や書き換え時間を組み合わせることができる。

【0157】書き換え回数、書き換え時間は、システムコントローラ54で求められ、初期値データ発生器53に与えられる。

【0158】こうしてスクランブルされた主データは、図8のMAIN DATA部として、第1多重化器56に入力される。また、第1付加信号発生器55は、初期値データ発生器53から疑似乱数系列の初期ビットパターンをスクランブルデータとして受け取ると共に、システムコントローラ54からセクターアドレス、エラーを検出するためのコード等を受け取り、これらを図8のDATA ID部、IED部、SCL部、EDC部として第1多重化器56に与える。第1多重化器56は、各部を受け取って配列し、図8のデータユニットを形成して出力する。このデータユニットは、エラー訂正符号発生器57に入力され、ここでエラー訂正符号が演算され、このエラー訂正符号が該データユニットに付加される。

【0159】デジタル変調器（例えば8/16変調）58は、データユニット及びエラー訂正符号を入力すると、これをデジタル変調して第2多重化器61に出力する。一方、第2付加信号発生器59は、システムコントローラ54から必要なデータを受け取って、図9のVFO部、PS部、PA部及びDATA部内の同期信号（シンクコード）等を形成し、これらを第2多重化器5aに出力する。第2多重化器61は、各部を受け取って配列し、図9の1セクターのデータを形成して出力する。

【0160】この1セクターのデータは、半導体レーザ

変調器62に入力されて、ここで変調され、この半導体レーザ変調器62の変調出力が光学ヘッド63に加えられ、この変調出力によって、光学ヘッド63内の半導体レーザから出射されるレーザ光が制御される。このレーザ光が光ディスク64に照射されて、この光ディスク64に1セクターのデータが記録される。

【0161】図16は、この発明の符号記録装置の第2実施形態を示している。この符号記録装置では、図12の装置に、DSV演算器70を付加したものである。なお、図16において、図12と同様の作用を果たす部位には、同じ符号を付する。

【0162】この装置では、主データを入力IF51を通して入力し、論理演算器50は、この主データを疑似乱数発生器52からの乱数によってスクランブルし、このスクランブルされた主データを図8のMAIN DATA部として、第1多重化器56に出力する。また、第1付加信号発生器55は、図8のDATA ID部、IED部、SCL部、EDC部を第1多重化器56に与える。第1多重化器56は、各部を受け取って配列し、図8のデータユニットを形成して出力する。このデータユニットは、エラー訂正符号発生器57に入力され、ここでエラー訂正符号が演算され、このエラー訂正符号が該データユニットに付加される。デジタル変調器（例えば8/16変調）58は、データユニット及びエラー訂正符号を入力すると、これをデジタル変調して出力する。

【0163】これまでの動作は、図12の装置と同様であり、スクランブルに用いられる疑似乱数系列の初期ビットパターンをセクターのアドレスだけでなく、書き換え回数、書き換え時間もしくは乱数に基づいて設定する。

【0164】次に、DSV演算器70は、デジタル変調器58から出力されたデータについて、DSVを演算して求め、このDSVをシステムコントローラ54に通知する。システムコントローラ54は、例えばDSVの絶対値が予め定められたしきい値よりも大きいかな否かを判定する。

【0165】一方、第2付加信号発生器59は、図9のVFO部、PS部、PA部及びDATA部内の同期信号等を第2多重化器61に与える。第2多重化器61は、各部を受け取って配列し、図9の1セクターのデータを形成して出力する。

【0166】この1セクターのデータは、半導体レーザ変調器62に入力される。半導体レーザ変調器62は、1セクターのデータを変調し、変調出力を光学ヘッド63に加える。この変調出力によって、光学ヘッド63内の半導体レーザから出射されるレーザ光が制御され、光ディスク64に1セクターのデータが記録される。

【0167】ここで、DSVの絶対値がしきい値よりも大きい場合は、デジタル変調器58から出力されたデータをそのまま光ディスクに記録しておくと、この光ディ

スクからの該データの再生に際し、不都合が起こる可能性がある。そこで、システムコントローラ54は、半導体レーザ変調器62に対して同一セクターの記録のやり直しを指示する。

【0168】同時に、システムコントローラ54は、疑似乱数系列の初期ビットパターンの変更を初期値データ発生器53に指示すると共に、スクランブルのやり直しを疑似乱数発生器52に指示する。また、システムコントローラ54は、入力IF51、エラー訂正符号発生器57、デジタル変調器58、あるいは光ディスク64の回転駆動装置（図示せず）や光学ヘッド63の移動装置（図示せず）等に処理のやり直しを指示する。

【0169】これによって、同一セクターの主データが再びスクランブルされて変調され、デジタル変調器58から出力されたデータのDSVが再び求められる。そして、このDSVがしきい値以下となるまで、同一セクターの主データのスクランブル、変調及び記録が繰り返され、DSVがしきい値以下となったときのデータが光ディスクに記録されると、次のセクターの処理へと移る。なお、同一セクターの主データを前段の回路から繰り返し供給させて、この同一セクターの主データの処理を繰り返しても良いし、同一セクターの主データを入力IF51に一旦記憶させておき、この同一セクターの主データを入力IF51から繰り返し供給させて、処理を繰り返しても良い。

【0170】また、同一セクターの主データの記録を繰り返す代わりに、デジタル変調器58から出力されたデータをバッファに一旦蓄え、DSVがしきい値を越えれば、このバッファ内のデータを半導体レーザ変調器62に与え、DSVがしきい値以下であれば、このバッファ内のデータを切り捨てる様にしても構わない。

【0171】更に、図12及び図16に示す装置においては、半導体レーザを例示しているが、気体レーザを適用しても構わない。

【0172】図17は、この発明の符号再生装置の一実施形態を示している。この符号再生装置では、図12及び図16に示す符号記録装置によって図11に示す光ディスクに記録された主データを再生する。

【0173】図17において、光ディスク71に光（レーザ光）を照射すると、この光は、光ディスク71によって変調されて反射され、強度変化を持つ光信号として光学ヘッド72の受光素子に入射する。この光学ヘッド72の受光素子は、この強度変化を持つ光信号を光電変換し、この光信号の強度変化を示す電気信号をヘッドアンプ73に出力する。ヘッドアンプ73は、この微弱な電気信号を増幅して二値化器74に出力する。二値化器74は、ヘッドアンプ73の出力を“0”及び“1”を示すデジタル信号に変換し、このデジタル信号を再生信号処理器75に出力する。再生信号処理器75は、このデジタル信号（図9に示す）からHEADER部、MI

RROR部、GAP部、GUARD部、VFO部、PS部、PA部、BUFFER部、DATA部内の同期信号等を取り除き、これによって得られたデータをデジタル復調器76に出力する。デジタル復調器76は、データを入力すると、このデータをデジタル復調し、この復調されたデータをエラー訂正器77に出力する。

【0174】エラー訂正器77は、このデータに含まれるエラー訂正符号に基づいて、このデータのエラーを訂正し、この訂正されたデータをエラー検出器79に出力する。また、このデータのエラーを訂正することができなければ、このデータがエラー検出器79に出力されず、この旨がエラー訂正器77からシステムコントローラ80へと通知される。これに回答して、システムコントローラ80は、光ディスク71の回転駆動装置(図示せず)や光学ヘッド72の移動装置(図示せず)等に処理のやり直しを指示する。これによって、光ディスク71の同一セクターからの読み出しが再度行われ、このセクターのデータがエラー訂正器77に再び入力され、このデータのエラーの訂正が行われる。

【0175】エラー検出器79は、この訂正されたデータ(図8に示す)を入力すると、このデータに含まれるIED部及びEDC部に基づいて、このデータのエラーを検出する。これによって、確率的には低いものの、エラー訂正器77によるエラー訂正の誤りを検出する。この誤りが検出された場合は、この旨がエラー検出器79からシステムコントローラ80へと通知される。これに回答して、システムコントローラ80は、先と同様に処理のやり直しを指示する。これによって、光ディスク71の同一セクターからの読み出しが再度行われ、このセクターのデータがエラー検出器79に再び入力され、エラー訂正の誤りの検出が行われる。

【0176】エラー検出器79は、データのエラーを検出することができなければ、このデータをデータ分配器81に出力する。データ分配器81は、このデータをDATAID部、IED部、SCL部、MAINDATA部、EDC部に分離し、SCL部を初期値データ発生器82に出力すると共に、MAINDATA部の主データを論理演算器83に出力する。

【0177】初期値データ発生器82は、図12の初期値データ発生器53と同一データテーブルを記憶しており、データ分配器81からのSCL部を入力すると、図12の初期値データ発生器53と同様の手順で、このSCL部のスクランブルデータによって示される疑似乱数系列の初期ビットパターンを選択し、この疑似乱数系列の初期ビットパターンを疑似乱数発生器84に出力する。疑似乱数発生器84は、この疑似乱数系列の初期ビットパターンを入力すると、図12の符号記録装置でMAINDATA部の主データをスクランブルするとき疑似乱数発生器52によって発生された乱数と同一のものを発生し、これを論理演算器83に出力する。

【0178】論理演算器83は、データ分配器81からの主データと疑似乱数発生器84からの乱数を論理演算して、この主データを逆スクランブルし、この逆スクランブルされた主データを出力I/F85を通じて外部に再生データとして出力する。

【0179】この様に記録時にスクランブルされた主データは、再生時に逆スクランブルされて元に戻される。

【0180】

【発明の効果】以上説明した様に、この発明の符号変換方式及び符号変換装置によれば、出力用の主データによって示される値0の個数と値1の個数の差を示す演算値の変化量、つまりDSVの変化量がしきい値を越えると、スクランブルデータを変更してから前記入力された主データを再度スクランブルするので、DSVがしきい値を下回るまで、スクランブルデータの変更とスクランブルが繰り返される。これによって、DSVの増加が確実に抑制され、出力用の主データの低周波成分が低減される。

【0181】したがって、この出力用の主データを記録媒体に記録し、この記録媒体から信号を再生したときには、この再生信号の低周波成分が少なく済み、再生エラーを十分に防止することができる。

【0182】また、主データとして、如何なるパターンのもので入力しても、DSVを許容範囲に収めることができ、再生エラーを十分に防止することができる。

【0183】また、この発明の符号記録媒体、符号記録装置及び符号再生装置によれば、各セクター毎に、スクランブルデータ及びスクランブルされた主データを記録しているので、スクランブルデータ及びスクランブルされた主データをセクターから読み出して、この主データをスクランブルデータに基づいて元に戻すことができる。したがって、主データに対してスクランブルの方法を自在に選択することが可能になり、再生信号の低周波成分の異常な変動を効果的に抑制することができる。これによって、再生信号を正確に二値化することができ、再生エラーを起こす確率を非常に少なくすることができる。また、光ディスクの同一のセクターへの書き換え回数に応じて、スクランブルデータを変更しているため、同一のセクターに同一の主データを繰り返して書き込んでも、このセクターの記録媒体の特性の均一性が劣化せず、再生信号のS/Nの低下を抑えることができ、繰り返して行われる記録及び再生の信頼性が向上する。

【図面の簡単な説明】

【図1】この発明の符号変換装置の第1実施形態を示すブロック図

【図2】図1の符号変換装置の動作手順を示すシーケンスチャート

【図3】図1の符号変換装置を適用した記録再生装置を示すブロック図

【図4】この発明の符号変換装置の第2実施形態を示す

ブロック図

【図5】図4の符号変換装置のスクランブラー切り換え部を示すブロック図

【図6】図4の符号変換装置の動作手順を示すシーケンスチャート

【図7】この発明の符号変換装置の第3実施形態を示すブロック図

【図8】この発明の符号記録媒体の一実施形態である光ディスクのデータユニットの構成を示す図

【図9】この実施形態の光ディスクのセクターフォーマットを示す図

【図10】この実施形態の光ディスクのシンクフレームフォーマットを示す図

【図11】この実施形態の光ディスクを模式的に示す図

【図12】この発明の符号記録装置の第1実施形態を示すブロック図

【図13】図12の符号記録装置における疑似乱数発生器を概略的に示すブロック図

【図14】図12の符号記録装置における初期値データ発生器のデータテーブルの一例を示す図

【図15】図12の符号記録装置における初期値データ発生器のデータテーブルの他の例を示す図

【図16】この発明の符号記録装置の第2実施形態を示すブロック図

【図17】この発明の符号再生装置の一実施形態を示すブロック図

【図18】従来の符号変換装置を示すブロック図

【図19】図18の符号変換装置におけるスクランブラーを示すブロック図

【図20】図18の符号変換装置における8/16変換器を示すブロック図

【図21】(a)は16ビットの主データを示す図、
(b)は(a)をPWMによって変調してなる出力用の主データを示す図

【図22】従来の符号変換装置の処理を示すフローチャート

【図23】従来の符号変換装置の他の処理を示すフローチャート

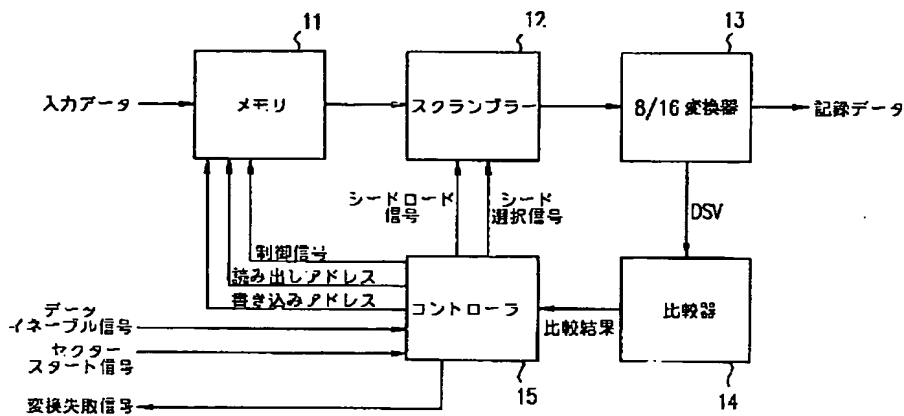
【図24】(a)は従来の符号変換装置における主データの値の変動を示すグラフ、(b)は(a)の変動に応じたDSVの増減を示すグラフ

【符号の説明】

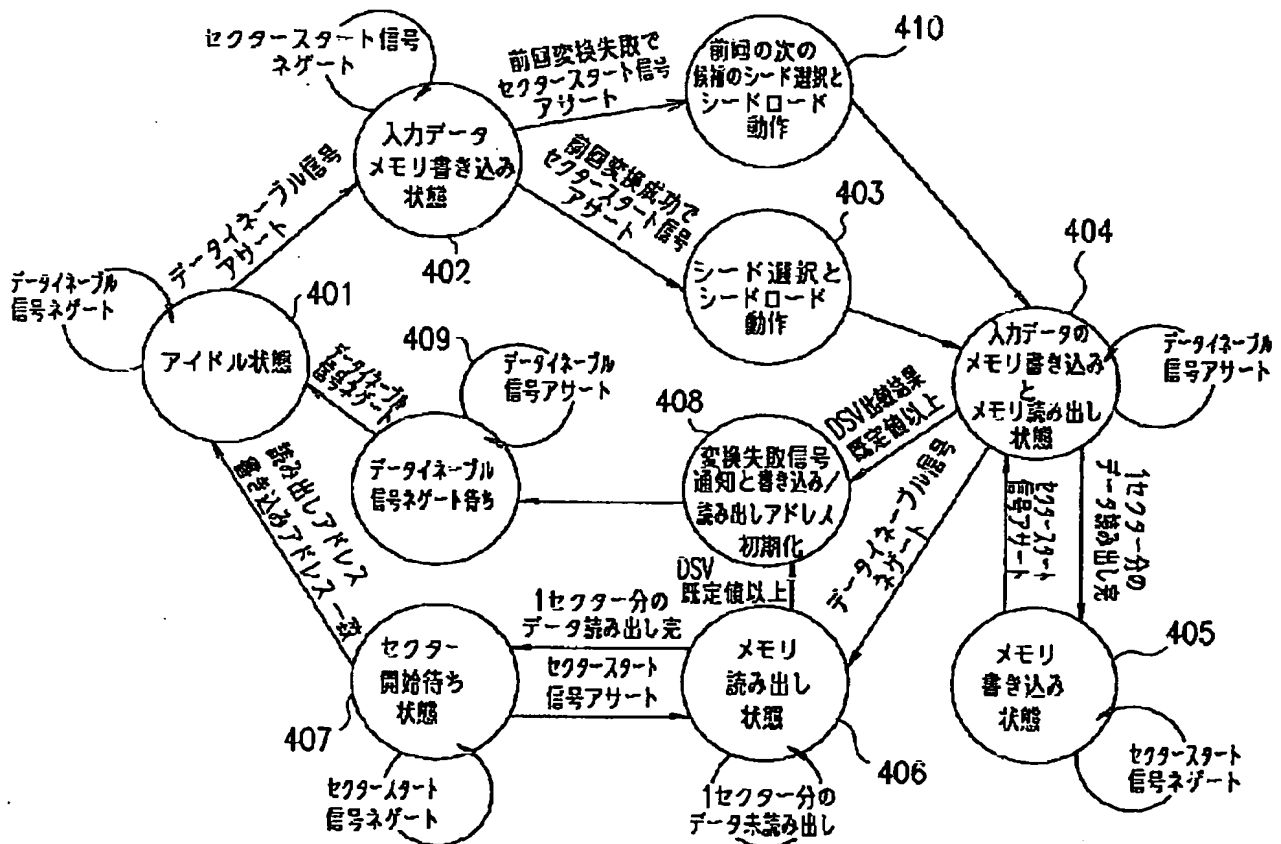
- 11 メモリ
- 12 スクランブラー
- 13 8/16変換器
- 14 比較器

- 15 コントローラ
- 21 外部通信部
- 22 エラー訂正コード変調部
- 23 変調部
- 24 記録部
- 25 光ヘッド
- 26 ドライブ制御部
- 27 ヘッド制御部
- 28 光ディスク
- 29 モータ
- 31 再生部
- 32 復調部
- 33 エラー訂正コード復調部
- 41 セクターカウンタ
- 42 スクランブラー切り換え部
- 48 出力制御部
- 50 論理演算器
- 51 入力I/F
- 52 疑似乱数発生器
- 53 初期値データ発生器
- 54 システムコントローラ
- 55 第1付加信号発生器
- 56 第1多重化器
- 57 エラー訂正符号発生器
- 58 デジタル変調器
- 59 第2付加信号発生器
- 61 第2多重化器
- 62 半導体レーザ変調器
- 63 光学ヘッド
- 64 光ディスク
- 70 DSV演算器
- 71 光ディスク
- 72 光学ヘッド
- 73 ヘッドアンプ
- 74 2値化器
- 75 再生信号処理器
- 76 デジタル復調器
- 77 エラー訂正器
- 79 エラー検出器
- 80 システムコントローラ
- 81 データ分配器
- 82 初期値データ発生器
- 83 論理演算器
- 84 疑似乱数発生器
- 85 出力I/F

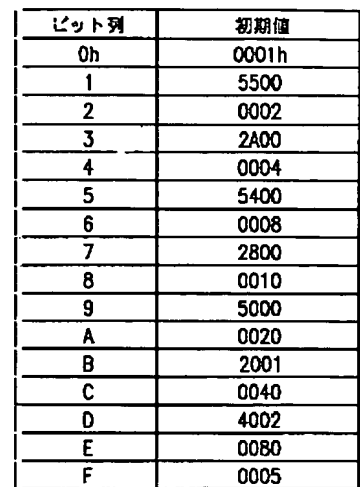
【図1】



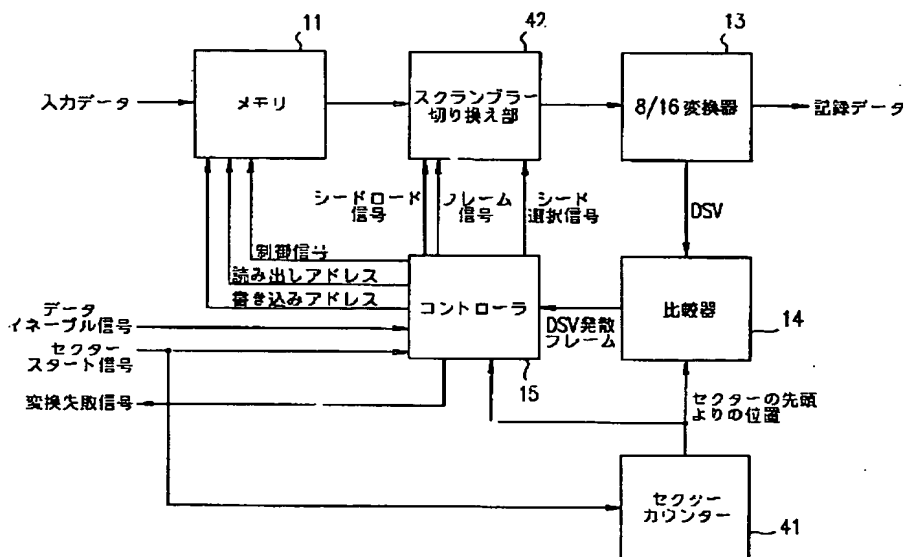
【図2】



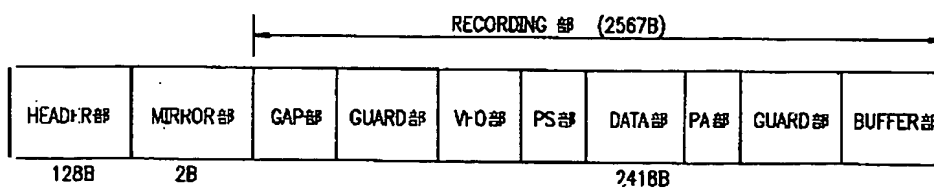
【図14】



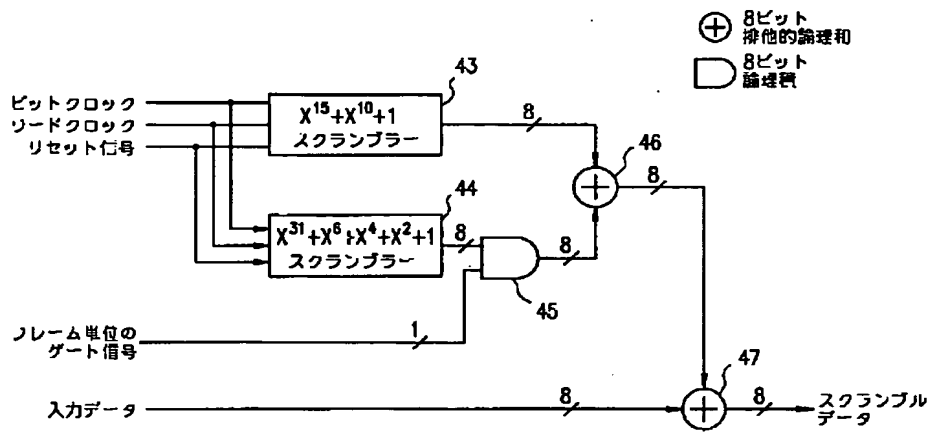
【図4】



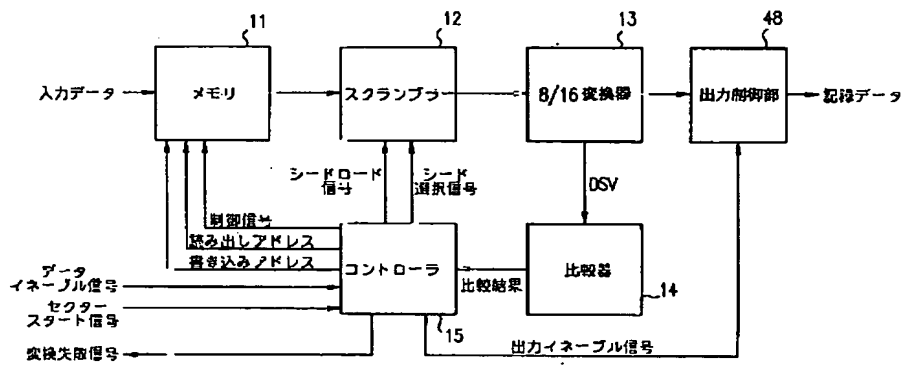
【図9】



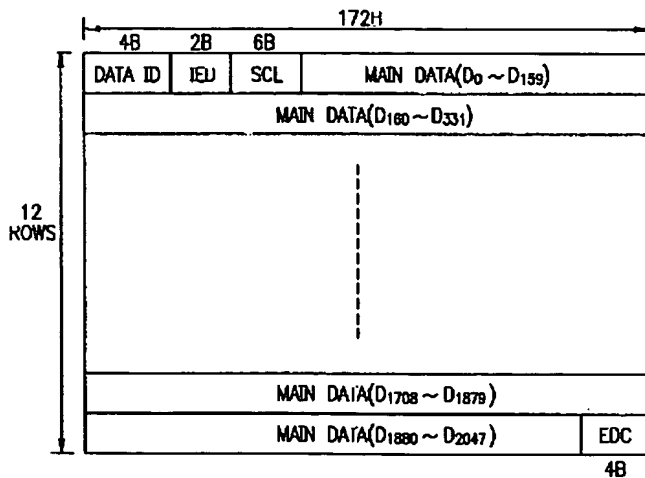
【図5】



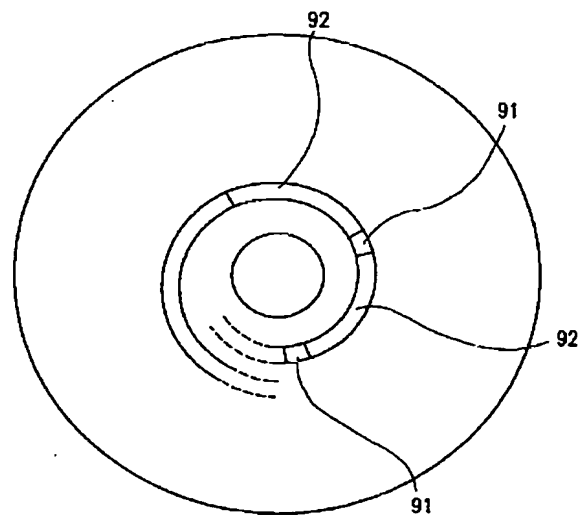
【図7】



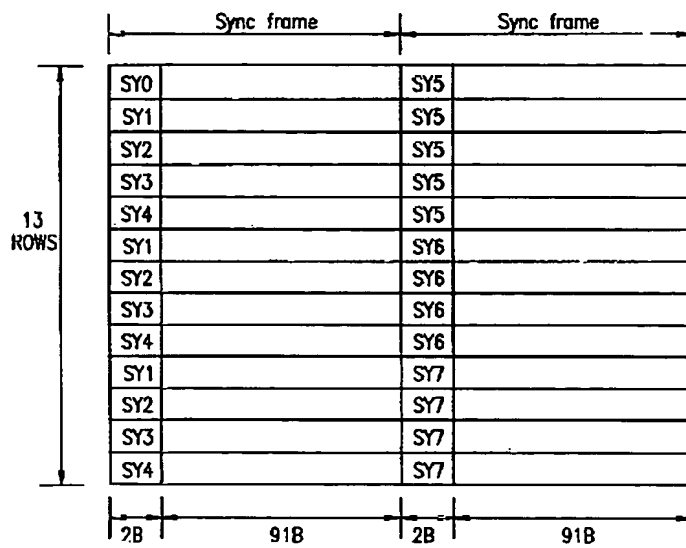
【図8】



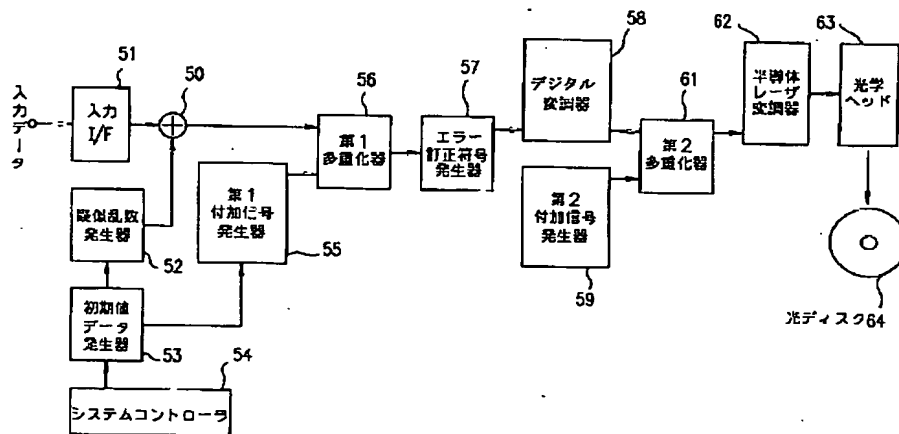
【図11】



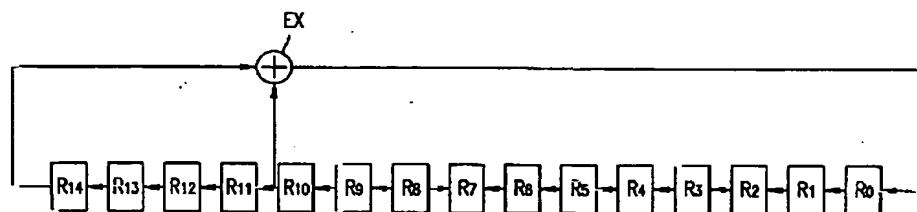
【図10】



【図12】



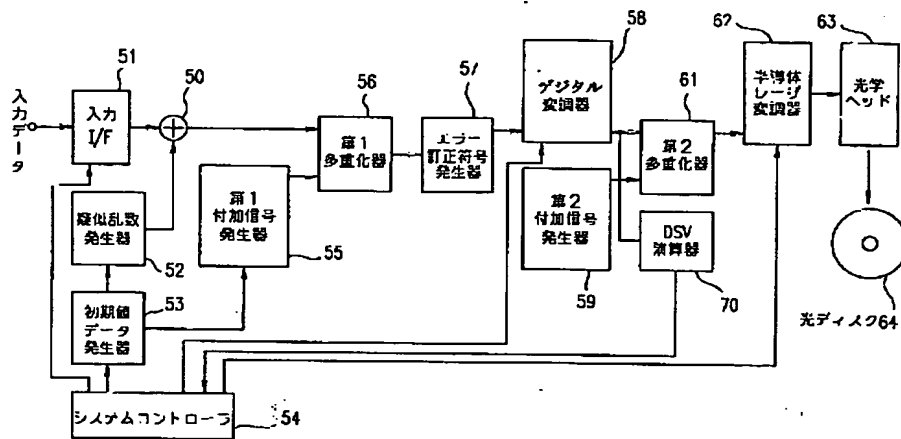
【図13】



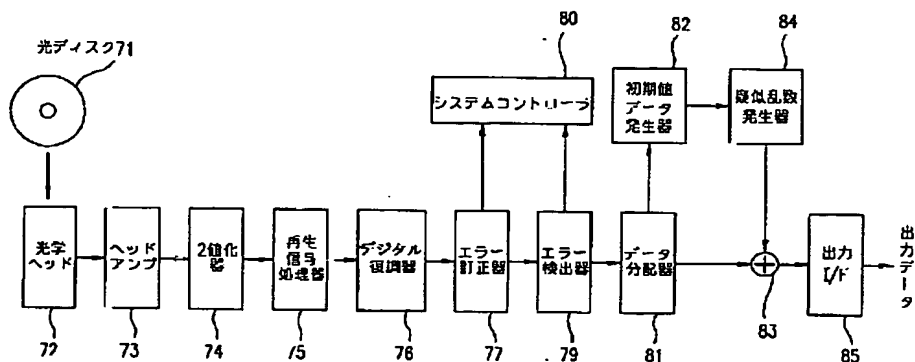
【図15】

ビット列	初期値	番換回数 0	番換回数 1	番換回数 2	-----	番換回数 15
0h		0001h	0090h	0003h	-----	0031h
1		5500	3C00	2400	-----	2000
2		0002	00A0	0005	-----	0032
3		2A00	1F00	1200	-----	1600
4		0004	00C0	0006	-----	0034
5		5400	3B00	2300	-----	2B00
6		0008	00F0	0007	-----	0038
7		2800	1D00	1100	-----	1300
8		0010	0009	0030	-----	0013
9		5000	3A00	2500	-----	2A00
A		0020	000A	0050	-----	0023
B		2001	1003	3001	-----	2007
C		0040	0000	0060	-----	0043
D		4002	2006	6002	-----	400E
E		0080	000F	0070	-----	0083
F		0005	00A3	0052	-----	00A2

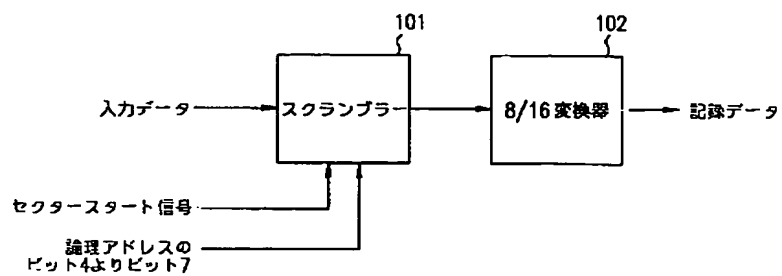
【図16】



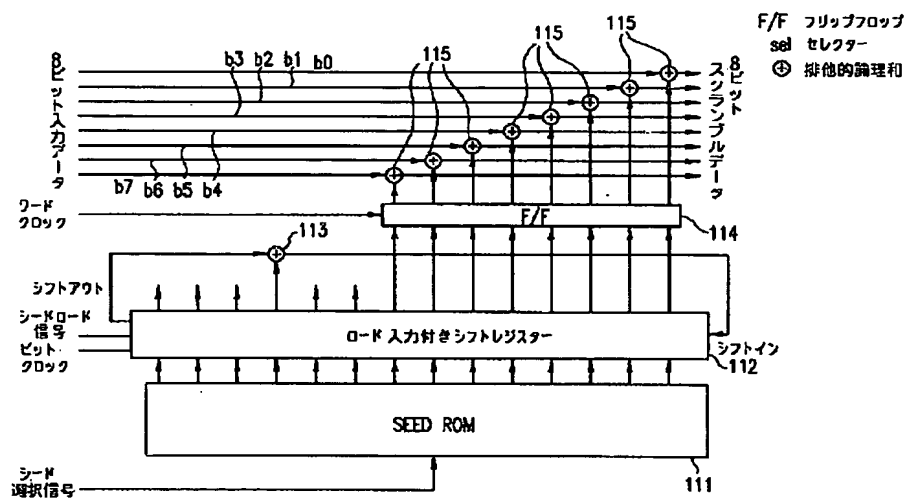
【図17】



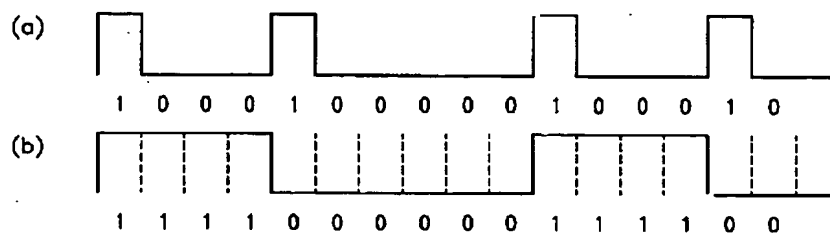
【図18】



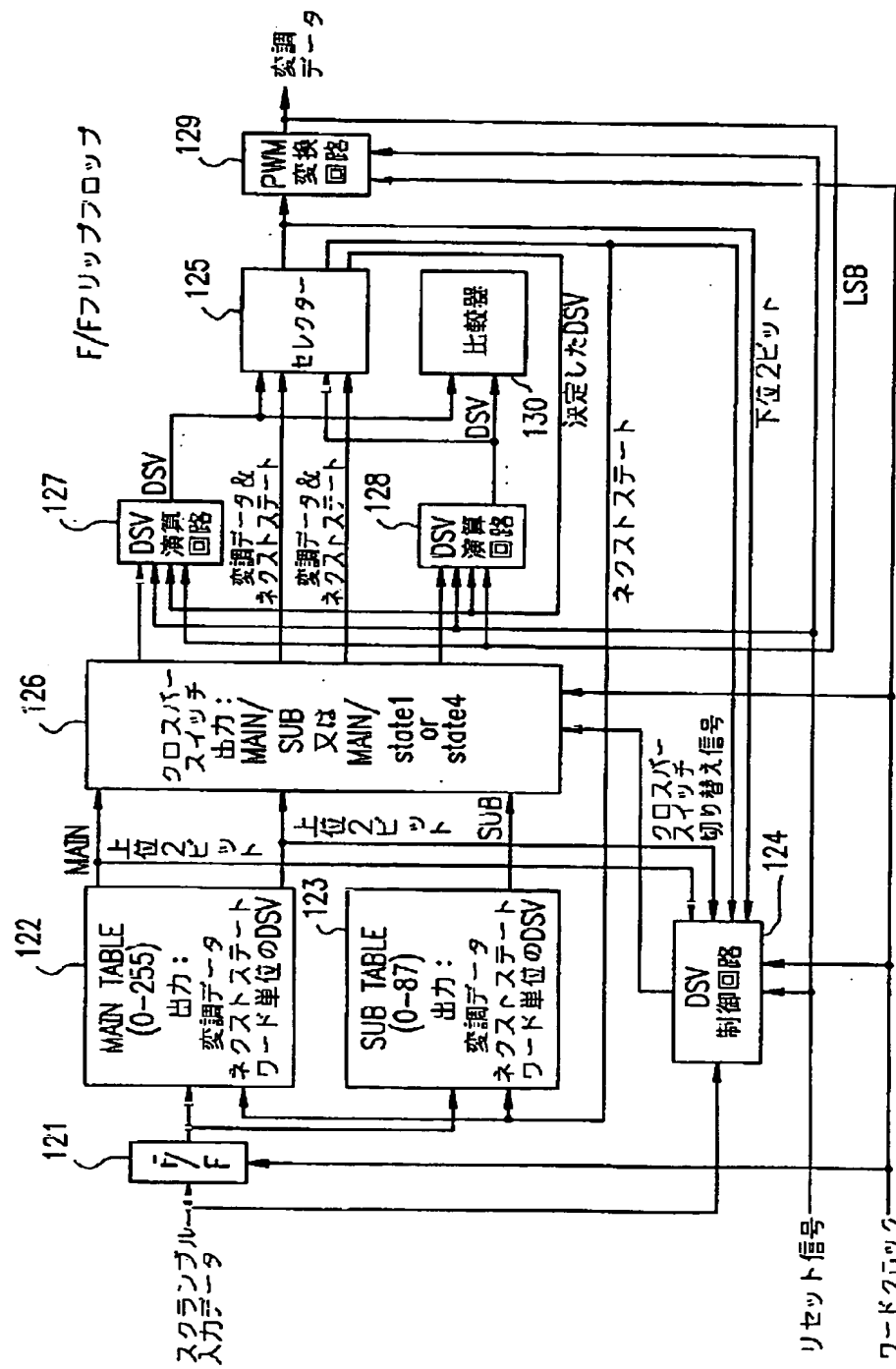
【図19】



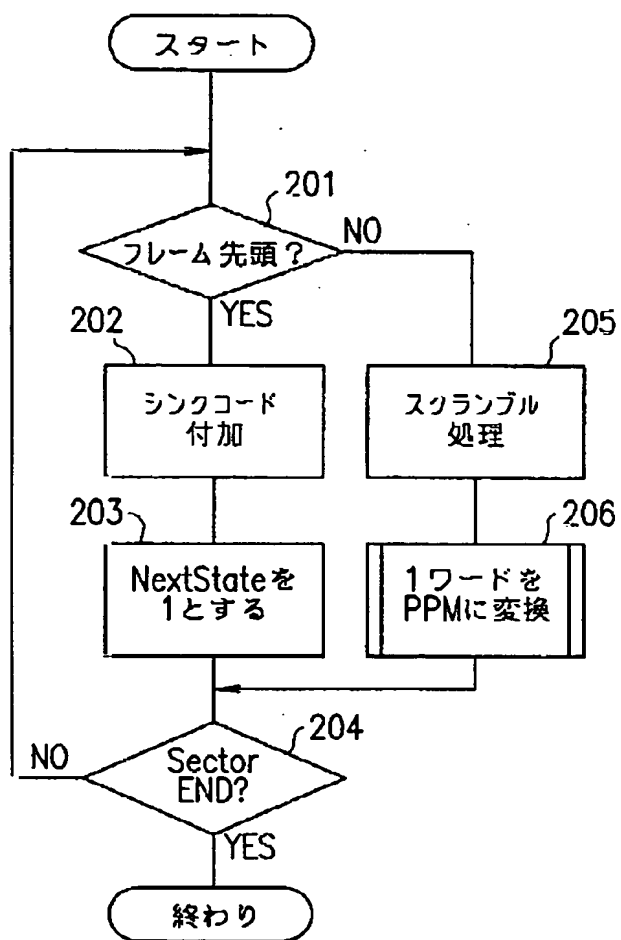
【図21】



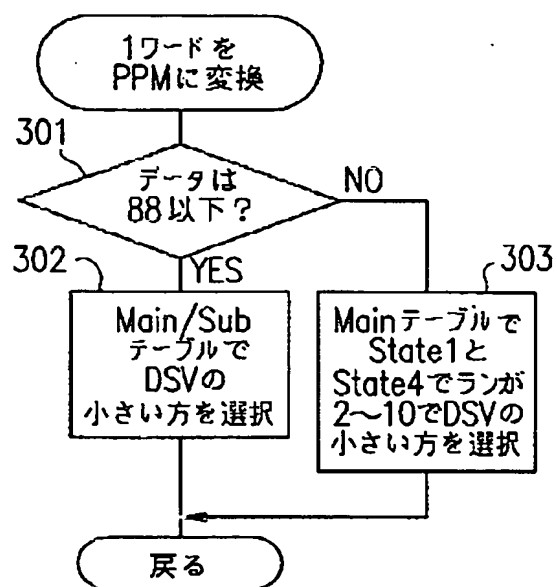
【図20】



【図22】

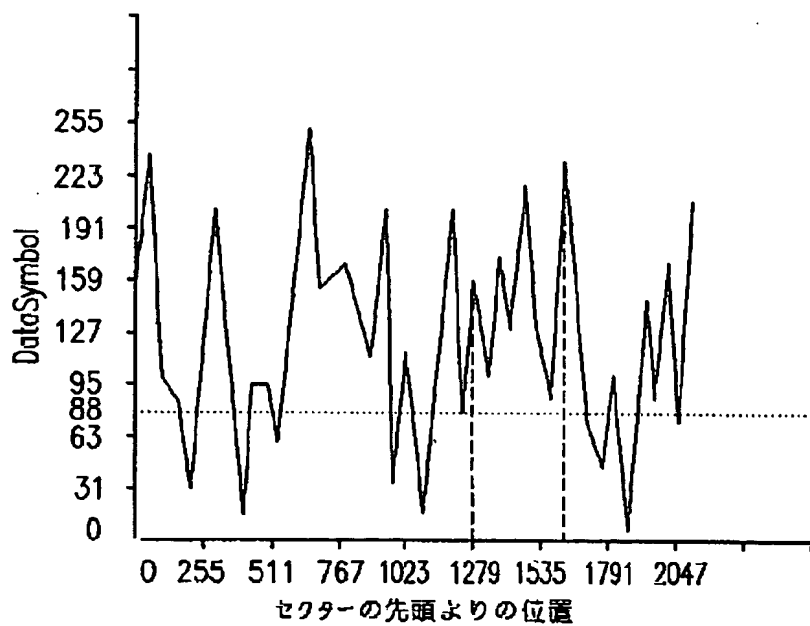


【図23】

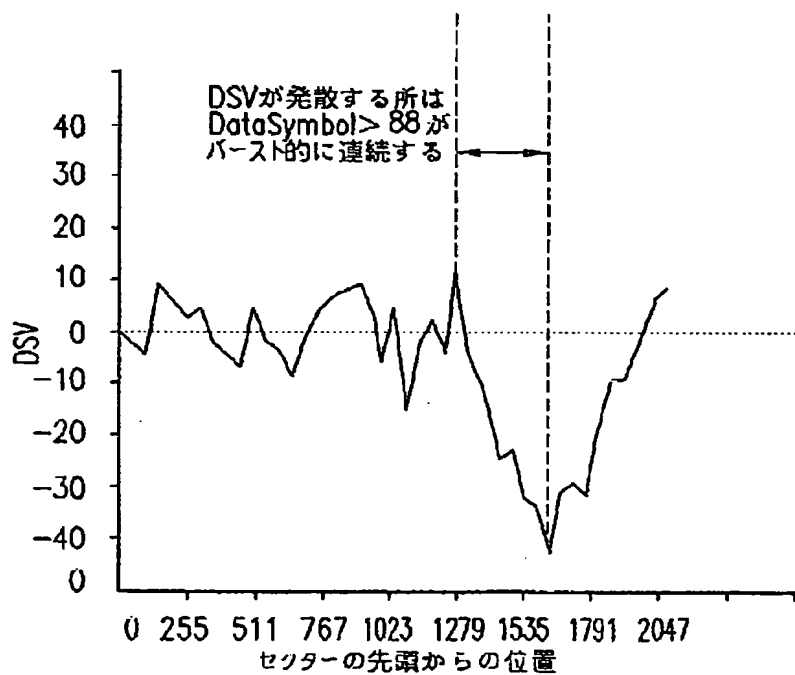


【図24】

(a)



(b)



フロントページの続き

(72)発明者 赤平 信夫
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.